

発明の名称  
電子放出素子

JSSN 10/901,932

Filed 07/29/2004

Our Ref. 789-118C1P5

発明の背景

CL

5 発明の分野：

本発明は、エミッタ部に形成された第1の電極と第2の電極とを有する電子放出素子に関する。

関連する技術の記述：

近時、電子放出素子は、カソード電極及びアノード電極を有し、フィールドエミッഷョンディスプレイ (FED) やバックライトのような種々のアプリケーションに適用されている。FEDに適用する場合、複数の電子放出素子を二次元的に配列し、これら電子放出素子に対する複数の蛍光体を、所定の間隔をもってそれぞれ配置するようにしている。

この電子放出素子の従来例としては、例えば特開平1-311533号公報、特開平7-147131号公報、特開2000-285801号公報、特公昭46-20944号公報、特公昭44-26125号公報があるが、いずれもエミッタ部に誘電体を用いていないため、対向電極間にフォーミング加工もしくは微細加工が必要となったり、電子放出のために高電圧を印加しなければならず、また、パネル製作工程が複雑で製造コストが高くなるという問題がある。

そこで、エミッタ部を誘電体で構成することが考えられており、誘電体からの電子放出に関して、以下の安岡、石井著「強誘電体陰極を用いたパルス電子源」応用物理第68巻第5号、p 546~550 (1999)、V.F.Puchkarev, G.A.Mesyats, On the mechanism of emission from the ferroelectric ceramic cathode, J.Appl.Phys., vol. 78, No. 9, 1 November, 1995, p. 5633-5637、H.Riege, Electron emission ferroelectrics - a review, Nucl. Instr. and Meth. A340, p. 80-89 (1994) にて諸説が述べられている。

ところで、従来の電子放出素子においては、図53に示すように、エミッタ部202に上部電極204及び下部電極206を形成する場合、特に、エミッタ部202上に上部電極204が密着して形成されることになる。電界集中ポ

BEST AVAILABLE COPY

イントは、上部電極 204／エミッタ部 202／真空の 3 重点であるが、この場合、上部電極 204 の周縁部分が該当する。

しかしながら、上部電極 204 の周縁部分がエミッタ部 202 上に密着されていることから、電界集中の度合いが小さく、電子を放出するに必要なエネルギーが小さいという問題がある。また、電子放出箇所も上部電極 204 の周縁部分に限られることから、全体の電子放出特性にはらつきが生じ、電子放出の制御が困難になると共に、電子放出効率が低いという問題もある。

### 発明の概要

10 本発明はこのような課題を考慮してなされたものであり、高い電界集中を容易に発生させることができ、しかも、電子放出箇所を多くすることができ、電子放出について高出力、高効率を図ることができ、低電圧駆動も可能な電子放出素子を提供することを目的とする。

15 また、本発明の他の目的は、複数の画素に応じて配列された複数の電子放出素子を有し、各電子放出素子からの電子放出によって画像表示を行うディスプレイに簡単に適用させることができる電子放出素子を提供することにある。

本発明に係る電子放出素子は、誘電体で構成されたエミッタ部と、電子放出のための駆動電圧が印加される第 1 の電極及び第 2 の電極とを有し、前記第 1 の電極は、前記エミッタ部の第 1 の面に形成され、前記第 2 の電極は、前記エミッタ部の第 2 の面に形成され、少なくとも前記第 1 の電極は、前記エミッタ部が露出される複数の貫通部を有し、第 1 段階に、前記第 1 の電極から前記エミッタ部に向けて電子放出が行われて、前記エミッタ部が帯電され、第 2 段階に、前記エミッタ部から電子放出が行われることを特徴とする。前記第 1 の電極は、前記貫通部の周部における前記エミッタ部と対向する面が、前記エミッタ部から離間してもよい。

先ず、第 1 の電極と第 2 の電極との間に駆動電圧が印加される。この駆動電圧は、例えば、パルス電圧あるいは交流電圧のように、時間の経過に伴って、基準電圧（例えば 0 V）よりも高い又は低い電圧レベルから基準電圧よりも低い又は高い電圧レベルに急激に変化する電圧として定義される。

また、エミッタ部の第1の面と第1の電極と該電子放出素子の周囲の媒質（例えば、真空）との接触箇所においてトリプルジャンクションが形成されている。  
ここで、トリプルジャンクションとは、第1の電極とエミッタ部と真空との接触により形成される電界集中部として定義される。なお、前記トリプルジャンクションには、第1の電極とエミッタ部と真空が1つのポイントとして存在する3重点も含まれる。本発明では、トリプルジャンクションは、複数の貫通部の周部や第1の電極の周縁部に形成されることになる。従って、第1の電極と第2の電極との間に上述のような駆動電圧が印加されると、上記したトリプルジャンクションにおいて電界集中が発生する。

そして、第1段階において、基準電圧よりも高い又は低い電圧が第1の電極と第2の電極間に印加され、上記したトリプルジャンクションにおいて例えば一方向への電界集中が発生し、第1の電極からエミッタ部に向けて電子放出が行われ、例えばエミッタ部のうち、第1の電極の貫通部に対応した部分や第1の電極の周縁部近傍の部分に電子が蓄積される。すなわち、エミッタ部が帶電することになる。このとき、第1の電極が電子供給源として機能する。

次の第2段階において、駆動電圧の電圧レベルが急減に変化して、基準電圧よりも低い又は高い電圧が第1の電極と第2の電極間に印加されると、今度は、第1の電極の貫通部に対応した部分や第1の電極の周縁部近傍に帶電した電子は、逆方向へ分極反転したエミッタ部の双極子（エミッタ部の表面に負極性が現れる）により、エミッタ部から追い出され、エミッタ部のうち、前記電子が蓄積されていた部分から、貫通部を通じて電子が放出される。もちろん、第1の電極の外周部近傍からも電子が放出される。このとき、前記第1段階における前記エミッタ部の帶電量に応じた電子が、前記第2段階に前記エミッタ部から放出される。また、前記第1段階における前記エミッタ部の帶電量が、前記第2段階での電子放出が行われるまで維持される。

そして、この電子放出素子においては、先ず、第1の電極に複数の貫通部を形成したことから、各貫通部並びに第1の電極の外周部近傍から均等に電子が放出され、全体の電子放出特性のばらつきが低減し、電子放出の制御が容易になると共に、電子放出効率が高くなる。

また、本発明は、前記第1の電極のうち、前記貫通部の周部における前記エミッタ部と対向する面と前記エミッタ部との間にギャップが形成された形となることから、駆動電圧を印加した際に、該ギャップの部分において電界集中が発生し易くなる。これは、電子放出の高効率化につながり、駆動電圧の低電圧化（低い電圧レベルでの電子放出）を実現させることができる。

上述したように、本発明は、前記第1の電極のうち、前記貫通部の周部における前記エミッタ部と対向する面と前記エミッタ部との間にギャップが形成されて、第1の電極における貫通部の周部が庇状（フランジ状）となることから、ギャップの部分での電界集中が大きくなることとも相俟って、前記庇状の部分（貫通部の周部）から電子がされ易くなる。これは、電子放出の高出力、高効率化につながり、駆動電圧の低電圧化を実現させることができる。また、第1の電極における貫通部の周部がゲート電極（制御電極、フォーカス電子レンズ等）として機能するので、放出電子の直進性を向上させることができる。これは、例えば電子放出素子を多数並べて例えばディスプレイの電子源として構成した場合に、クロストークを低減する上で有利となる。

このように、本発明においては、高い電界集中を容易に発生させることができ、しかも、電子放出箇所を多くすることができ、電子放出について高出力、高効率を図ることができ、低電圧駆動（低消費電力）も可能となる。

また、本発明においては、前記第1段階に、前記第1の電極と前記第2の電極間にに対する一方向への電圧の印加によって、前記エミッタ部が一方向に分極された状態から分極が反転した状態に変化する電圧を第1の抗電圧 $v_1$ とし、前記第2段階に、前記第1の電極と前記第2の電極間にに対する他方向への電圧の印加によって、前記エミッタ部の分極の方向が再び前記一方向に変化する電圧を第2の抗電圧 $v_2$ としたとき、

$$25 \quad v_1 < 0 \text{ 又は } v_2 < 0 \text{ であって、}$$

$$|v_1| < |v_2|$$

の特性を有するようにしてもよい。

これにより、複数の画素に応じて配列された複数の電子放出素子を有し、各電子放出素子からの電子放出によって画像表示を行うディスプレイに適用させるこ

とが容易になる。

例えば、1枚の画像の表示期間を1フレームとしたとき、該1フレーム内のある期間（第1段階）に、全ての前記電子放出素子を走査して、発光対象の画素に対応した複数の電子放出素子にそれぞれ対応する画素の輝度レベルに応じた蓄積電圧を印加することにより、前記発光対象の画素に対応した複数の電子放出素子にそれぞれ対応する画素の輝度レベルに応じた量の電荷を蓄積させ、次の期間（第2段階）に、全ての電子放出素子に一定の放出電圧を印加して、前記発光対象の画素に対応した前記複数の電子放出素子からそれぞれ対応する画素の輝度レベルに応じた量の電子を放出させて、前記発光対象の画素を発光させることが可能となる。

ところで、通常、例えば、電子放出素子をマトリックス状に配列して、水平走査期間に同期させて1行単位に電子放出素子を選択し、選択状態にある電子放出素子に対してそれぞれ画素の輝度レベルに応じた画素信号を供給するとき、非選択状態の画素にも、前記画素信号が供給されることになる。

非選択状態の電子放出素子が前記画素信号の影響を受けて例えば電子放出してしまうと、表示画像の画質の劣化やコントラストの低下を招くという問題がある。

しかし、本発明では、前記第1段階における前記エミッタ部の帶電量が、前記第2段階での電子放出が行われるまで維持されるため、非選択状態の画素が、選択状態の画素への信号によって影響を受けることなく、各画素でのメモリ効果を実現でき、高輝度、高コントラスト化を図ることができる。

また、本発明において、前記エミッタ部の少なくとも前記第1の面は、誘電体の粒界による凹凸が形成され、前記第1の電極は、前記誘電体の粒界における凹部に対応した部分に前記貫通部が形成されていてもよい。なお、前記第1の電極は、鱗片状の形状を有する物質を含んだ導電性物質、又は、複数の鱗片状の形状を有する物質の集合体にしてもよい。

これにより、前記第1の電極のうち、前記貫通部の周部における前記エミッタ部と対向する面が、前記エミッタ部から離間した構成、すなわち、前記貫通部の周部における前記エミッタ部と対向する面と前記エミッタ部との間にギャップが

形成された構成を簡単に実現させることができる。

以上説明したように、本発明に係る電子放出素子によれば、高い電界集中を容易に発生させることができ、しかも、電子放出箇所を多くすることができ、電子放出について高出力、高効率を図ることができ、低電圧駆動（低消費電力）も可能となる。

また、本発明に係る電子放出素子によれば、複数の画素に応じて配列された複数の電子放出素子を有し、各電子放出素子からの電子放出によって画像表示を行うディスプレイに簡単に適用させることができる。

添付した図面と協同する次の好適な実施の形態例の説明から、上記の目的及び他の目的、特徴及び利点がより明らかになるであろう。

#### 図面の簡単な説明

図1は、第1の実施の形態に係る電子放出素子を一部省略して示す断面図である。

図2は、第1の実施の形態に係る電子放出素子の要部を拡大して示す断面図である。

図3は、上部電極に形成された貫通部の形状の一例を示す平面図である。

図4Aは、上部電極の他の例を示す断面図である。

図4Bは、要部を拡大して示す断面図である。

図5Aは、上部電極のさらに他の例を示す断面図である。

図5Bは、要部を拡大して示す断面図である。

図6は、第1の実施の形態に係る電子放出素子の電子放出方式での駆動電圧の電圧波形を示す図である。

図7は、第1の実施の形態に係る電子放出素子の電子放出方式の第2の出力期間（第2段階）での電子放出の様子を示す説明図である。

図8は、上部電極の底部の断面形状の一例を示す図である。

図9は、上部電極の底部の断面形状の他の例を示す図である。

図10は、上部電極の底部の断面形状のさらに他の例を示す図である。

図11は、上部電極と下部電極間に接続された各種コンデンサの接続状態を示

す等価回路図である。

図12は、上部電極と下部電極間に接続された各種コンデンサの容量計算を説明するための図である。

図13は、第1の実施の形態に係る電子放出素子の第1の変形例を一部省略して示す平面図である。

図14は、第1の実施の形態に係る電子放出素子の第2の変形例を一部省略して示す平面図である。

図15は、第1の実施の形態に係る電子放出素子の第3の変形例を一部省略して示す平面図である。

図16は、第1の実施の形態に係る電子放出素子の電圧－電荷量特性（電圧－分極量特性）を示す図である。

図17Aは、図16のポイントp1での状態を示す説明図である。

図17Bは、図16のポイントp2での状態を示す説明図である。

図17Cは、図16のポイントp2からポイントp3に至るまでの状態を示す説明図である。

図18Aは、図16のポイントp3からポイントp4に至るまでの状態を示す説明図である。

図18Bは、図16のポイントp4に至る直前の状態を示す説明図である。

図18Cは、図16のポイントp4からポイントp6に至るまでの状態を示す説明図である。

図19は、第1の実施の形態に係る電子放出素子を使用して構成したディスプレイの表示部と駆動回路を示すブロック図である。

図20A～図20Cは、振幅変調回路によるパルス信号の振幅変調を示す波形図である。

図21は、変形例に係る信号供給回路を示すブロック図である。

図22A～図22Cは、パルス幅変調回路によるパルス信号のパルス幅変調を示す波形図である。

図23Aは、図20A又は図22Aにおける電圧Vs1が印加されたときのヒステリシス曲線を示す図である。

図23Bは、図20B又は図22Bにおける電圧V<sub>s m</sub>が印加されたときのヒステリシス曲線を示す図である。

図23Cは、図20C又は図22Cにおける電圧V<sub>s h</sub>が印加されたときのヒステリシス曲線を示す図である。

5 図24は、上部電極上へのコレクタ電極、蛍光体及び透明板の1つの配置例を示す構成図である。

図25は、上部電極上へのコレクタ電極、蛍光体及び透明板の他の配置例を示す構成図である。

10 図26Aは、第1の実験例（電子放出素子の電子の放出状態をみた実験）において使用した書き込みパルスと点灯パルスの波形を示す図である。

図26Bは、第1の実験例において、電子放出素子からの電子放出の状態を受光素子の検出電圧波形で示す図である。

図27は、第2～第4の実験例で使用した書き込みパルスと点灯パルスの波形を示す図である。

15 図28は、第2の実験例（電子放出素子の電子の放出量が書き込みパルスの振幅によってどのように変化するかをみた実験）の結果を示す特性図である。

図29は、第3の実験例（電子放出素子の電子の放出量が点灯パルスの振幅によってどのように変化するかをみた実験）の結果を示す特性図である。

20 図30は、第4の実験例（電子放出素子の電子の放出量がコレクタ電圧のレベルによってどのように変化するかをみた実験）の結果を示す特性図である。

図31は、ディスプレイの駆動方法の一例を示すタイミングチャートである。

図32は、図31に示す駆動方法での印加電圧関係を示す表図である。

図33は、第2の実施の形態に係る電子放出素子を一部省略して示す断面図である。

25 図34は、第2の実施の形態に係る電子放出素子の第1の変形例を一部省略して示す断面図である。

図35は、第2の実施の形態に係る電子放出素子の第2の変形例を一部省略して示す断面図である。

図36は、第2の実施の形態に係る電子放出素子の第3の変形例を一部省略し

て示す断面図である。

図37は、第3の実施の形態に係る電子放出素子を一部省略して示す断面図である。

図38は、第3の実施の形態に係る電子放出素子の第1の変形例を一部省略して示す断面図である。

図39は、実施例に係る電子放出素子における電子放出部の断面構造を示す模式図である。

図40は、実施例に係る電子放出素子の電子放出メカニズムを説明するための電圧-電荷量特性（電圧一分極量特性）を示す図である。

図41Aは、図40の(0)での状態を示す説明図である。

図41Bは、図40の(1-1)での状態を示す説明図である。

図41Cは、図40の(1-2)での状態を示す説明図である。

図42Aは、図40の(2)での状態を示す説明図である。

図42Bは、図40の(3-1)での状態を示す説明図である。

図42Cは、図40の(3-2)での状態を示す説明図である。

図43は、実施例に係るディスプレイの駆動方法であって、7行目を選択した状態を示す模式図である。

図44は、実施例に係るディスプレイの駆動方法を示すタイミングチャートである。

図45は、実施例に係るディスプレイにおいて全画素同時に発光させた状態を示す図である。

図46は、実施例に係る電子放出素子70の寿命特性（発光の耐久性）を示す特性図である。

図47は、実施例に係るディスプレイにおける表示部の外観を示す写真である

。

図48は、電子放出素子を示す拡大写真である。

図49は、電子放出素子における上部電極及びエミッタ部の電子顕微鏡写真である。

図50は、実施例に係るディスプレイのパネルに動画像を映し出し、ある瞬間

における1つの静止画像を撮影した写真である。

図51は、データセット時の駆動電圧に対する発光輝度の関係を示す特性図である。

図52は、実施例に係るディスプレイの1/10の領域を用いて、一般のCRTで用いられるP-22緑色蛍光体を励起発光させた様子を撮影した写真である。

図53は、従来例に係る電子放出素子を一部省略して示す断面図である。

#### 好ましい実施の形態例の記述

以下、本発明に係る電子放出素子の実施の形態例を、図1～図38を参照しながら説明する。

先ず、本実施の形態に係る電子放出素子は、ディスプレイとしての用途のほか、電子線照射装置、光源、LEDの代替用途、電子部品製造装置、電子回路部品に適用することができる。

電子線照射装置における電子線は、現在普及している紫外線照射装置における紫外線に比べ、高エネルギーで吸収性能に優れる。適用例としては、半導体装置では、ウェハーを重ねる際に絶縁膜を固化する用途、印刷の乾燥では、印刷インキをむらなく硬化する用途や、医療機器をパッケージに入れたまま殺菌する用途等がある。

光源としての用途は、高輝度、高効率仕様向けてあって、例えば超高圧水銀ランプ等が使用されるプロジェクタの光源用途等がある。本実施の形態に係る電子放出装置を光源に適用した場合、小型化、長寿命、高速点灯、水銀フリーによる環境負荷低減という特徴を有する。

LEDの代替用途としては、屋内照明、自動車用ランプ、信号機等の面光源用途や、チップ光源、信号機、携帯電話向けの小型液晶ディスプレイのバックライト等がある。

電子部品製造装置の用途としては、電子ビーム蒸着装置等の成膜装置の電子ビーム源、プラズマCVD装置におけるプラズマ生成用（ガス等の活性化用）電子源、ガス分解用途の電子源等がある。また、テラHz駆動の高速スイッチング素

子、大電流出力素子といった真空マイクロデバイス用途もある。また、本実施の形態に係る電子放出素子の2段階電子放出メカニズムを応用すれば、アナログデータを1素子で記憶可能なアナログデータ記憶素子としても用いることができる。その他、プリンタ用部品、つまり、蛍光体との組合せにより感光ドラムを感光させる発光デバイスや、誘電体を帯電させるための電子源としても好ましく用いられる。

電子回路部品としては、大電流出力化、高増幅率化が可能であることから、スイッチ、リレー、ダイオード等のデジタル素子、オペアンプ等のアナログ素子への用途がある。

先ず、第1の実施の形態に係る電子放出素子10Aは、図1に示すように、誘電体で構成された板状のエミッタ部12と、該エミッタ部12の第1の面（例えば上面）に形成された第1の電極（例えば上部電極）14と、エミッタ部12の第2の面（例えば下面）に形成された第2の電極（例えば下部電極）16と、上部電極14と下部電極16との間に、駆動電圧Vaを印加するパルス発生源18とを有する。

上部電極14は、エミッタ部12が露出される複数の貫通部20を有する。特に、エミッタ部12の表面は、誘電体の粒界による凹凸22が形成されており、上部電極14の貫通部20は、前記誘電体の粒界における凹部24に対応した部分に形成されている。図1の例では、1つの凹部24に対応して1つの貫通部20が形成される場合を示しているが、複数の凹部24に対応して1つの貫通部20が形成される場合もある。エミッタ部12を構成する誘電体の粒径は、0.1μm～1.0μmが好ましく、さらに好ましくは2μm～7μmである。図1の例では、誘電体の粒径を3μmとしている。

さらに、この第1の実施の形態では、図2に示すように、上部電極14のうち、貫通部20の周部26におけるエミッタ部12と対向する面26aが、エミッタ部12から離間している。つまり、上部電極14のうち、貫通部20の周部26におけるエミッタ部12と対向する面26aとエミッタ部12との間にギャップ28が形成され、上部電極14における貫通部20の周部26が底状（フランジ状）に形成された形となっている。従って、以下の説明では、「上部電極14の

貫通部 20 の周部 26」を「上部電極 14 の底部 26」と記す。なお、図 1、図 2、図 4A、図 4B、図 5A、図 5B、図 8～図 10、図 15 の例では、誘電体の粒界の凹凸 22 の凸部 30 の断面を代表的に半円状で示してあるが、この形状に限るものではない。

5 また、この第 1 の実施の形態では、上部電極 14 の厚み  $t$  を、 $0.01 \mu\text{m} \leq t \leq 10 \mu\text{m}$  とし、エミッタ部 12 の上面、すなわち、誘電体の粒界における凸部 30 の表面（凹部 24 の内壁面でもある）と、上部電極 14 の底部 26 の下面 26aとのなす角の最大角度  $\theta$  を、 $1^\circ \leq \theta \leq 60^\circ$  としている。また、エミッタ部 12 の誘電体の粒界における凸部 30 の表面（凹部 24 の内壁面）と、上部電極 14 の底部 26 の下面 26aとの間の鉛直方向に沿った最大間隔  $d$  を、 $0 \mu\text{m} < d \leq 10 \mu\text{m}$  としている。

10 さらに、この第 1 の実施の形態では、貫通部 20 の形状、特に、図 3 に示すように、上面から見た形状は孔 32 の形状であって、例えば円形状、橢円形状、トランク状のように、曲線部分を含むものや、四角形や三角形のように多角形状のものがある。図 3 の例では、孔 32 の形状として円形状の場合を示している。

15 この場合、孔 32 の平均径は、 $0.1 \mu\text{m}$  以上、 $10 \mu\text{m}$  以下としている。この平均径は、孔 32 の中心を通るそれぞれ異なる複数の線分の長さの平均を示す。

ここで、各構成部材の材料等について説明する。エミッタ部 12 を構成する誘電体は、好適には、比誘電率が比較的高い、例えば 1000 以上の誘電体を採用することができる。このような誘電体としては、チタン酸バリウムのほかに、ジルコン酸鉛、マグネシウムニオブ酸鉛、ニッケルニオブ酸鉛、亜鉛ニオブ酸鉛、マンガンニオブ酸鉛、マグネシウムタンタル酸鉛、ニッケルタンタル酸鉛、アンチモンスズ酸鉛、チタン酸鉛、マグネシウムタングステン酸鉛、コバルトニオブ酸鉛等、又はこれらの任意の組み合わせを含有するセラミックスや、主成分がこれらの化合物を 50 重量 % 以上含有するものや、前記セラミックスに対して、さらにランタン、カルシウム、ストロンチウム、モリブデン、タングステン、バリウム、ニオブ、亜鉛、ニッケル、マンガン等の酸化物、もしくはこれらのいずれかの組み合わせ、又は他の化合物を適切に添加したもの等を挙げができる

例えば、マグネシウムニオブ酸鉛（PMN）とチタン酸鉛（PT）の2成分系  
n PMN-m PT (n, mをモル数比とする)においては、PMNのモル数比を  
大きくすると、キュリー点が下げられて、室温での比誘電率を大きくすることが  
5 できる。

特に、n=0.85~1.0, m=1.0-nでは比誘電率3000以上となり好ましい。例えば、n=0.91, m=0.09では室温の比誘電率1500  
0が得られ、n=0.95, m=0.05では室温の比誘電率20000が得られる。

10 次に、マグネシウムニオブ酸鉛（PMN）、チタン酸鉛（PT）、ジルコン酸鉛  
（PZ）の3成分系では、PMNのモル数比を大きくするほかに、正方晶と擬立方晶又は正方晶と菱面体晶のモルフォトロピック相境界（MPB：Morphotropic Phase Boundary）付近の組成とすることが比誘電率を大きくするのに好ましい。  
15 例えば、PMN:PT:PZ=0.375:0.375:0.25にて比誘電率5500、PMN:PT:PZ=0.5:0.375:0.125にて比誘電率4500となり、特に好ましい。さらに、絶縁性が確保できる範囲内でこれらの誘電体に白金のような金属を混入して、誘電率を向上させるのが好ましい。この場合、例えば、誘電体に白金を重量比で20%混入させるとよい。

また、エミッタ部12は、上述したように、圧電／電歪層や反強誘電体層等を用いることができるが、エミッタ部12として圧電／電歪層を用いる場合、該圧電／電歪層としては、例えば、ジルコン酸鉛、マグネシウムニオブ酸鉛、ニッケルニオブ酸鉛、亜鉛ニオブ酸鉛、マンガンニオブ酸鉛、マグネシウムタンタル酸鉛、ニッケルタンタル酸鉛、アンチモンスズ酸鉛、チタン酸鉛、チタン酸バリウム、マグネシウムタングステン酸鉛、コバルトイオブ酸鉛等、又はこれらのいずれかの組み合わせを含有するセラミックスが挙げられる。

主成分がこれらの化合物を50重量%以上含有するものであってもよいことはいうまでもない。また、前記セラミックスのうち、ジルコン酸鉛を含有するセラミックスは、エミッタ部12を構成する圧電／電歪層の構成材料として最も使用頻度が高い。

また、圧電／電歪層をセラミックスにて構成する場合、前記セラミックスに、さらに、ランタン、カルシウム、ストロンチウム、モリブデン、タングステン、バリウム、ニオブ、亜鉛、ニッケル、マンガン等の酸化物、もしくはこれらのいずれかの組み合わせ、又は他の化合物を、適宜、添加したセラミックスを用いてもよい。また、前記セラミックスに  $\text{SiO}_2$ 、 $\text{CeO}_2$ 、 $\text{Pb}_5\text{Ge}_3\text{O}_{11}$  もしくはこれらのいずれかの組み合わせを添加したセラミックスを用いてもよい。具体的には、PT-PZ-PMN系圧電材料に  $\text{SiO}_2$  を 0.2 wt %、もしくは  $\text{CeO}_2$  を 0.1 wt %、もしくは  $\text{Pb}_5\text{Ge}_3\text{O}_{11}$  を 1~2 wt % 添加した材料が好ましい。

例え、マグネシウムニオブ酸鉛とジルコン酸鉛及びチタン酸鉛とからなる成分を主成分とし、さらにランタンやストロンチウムを含有するセラミックスを用いることが好ましい。

圧電／電歪層は、緻密であっても、多孔質であってもよく、多孔質の場合、その気孔率は 40% 以下であることが好ましい。

エミッタ部 12 として反強誘電体層を用いる場合、該反強誘電体層としては、ジルコン酸鉛を主成分とするもの、ジルコン酸鉛とスズ酸鉛とからなる成分を主成分とするもの、さらにはジルコン酸鉛に酸化ランタンを添加したもの、ジルコン酸鉛とスズ酸鉛とからなる成分に対してジルコン酸鉛やニオブ酸鉛を添加したものが望ましい。

また、この反強誘電体層は、多孔質であってもよく、多孔質の場合、その気孔率は 30% 以下であることが望ましい。

さらに、エミッタ部 12 にタンタル酸ビスマス酸ストロンチウム ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) を用いた場合、分極反転疲労が小さく好ましい。このような分極反転疲労が小さい材料は、層状強誘電体化合物で、 $(\text{BiO}_2)^{2+}(\text{A}_{m-1}\text{B}_m\text{O}_{3m+1})^{2-}$  という一般式で表される。ここで、金属 A のイオンは、 $\text{Ca}^{2+}$ 、 $\text{Sr}^{2+}$ 、 $\text{Ba}^{2+}$ 、 $\text{Pb}^{2+}$ 、 $\text{Bi}^{3+}$ 、 $\text{La}^{3+}$  等であり、金属 B のイオンは、 $\text{Ti}^{4+}$ 、 $\text{Ta}^{5+}$ 、 $\text{Nb}^{5+}$  等である。さらに、チタン酸バリウム系、ジルコン酸鉛系、PZT 系の圧電セラミックスに添加剤を加えて半導体化させることも可能である。この場合、エミッタ部 12 内で不均一な電界分布をもたせて、電子放出に寄与する上部

電極 1 4 との界面近傍に電界集中を行うことが可能となる。

また、圧電／電歪／反強誘電体セラミックスに、例えば鉛ホウケイ酸ガラス等のガラス成分や、他の低融点化合物（例えば酸化ビスマス等）を混ぜることによつて、焼成温度を下げることができる。

5 また、圧電／電歪／反強誘電体セラミックスで構成する場合、その形状はシート状の成形体、シート状の積層体、あるいは、これらを他の支持用基板に積層又は接着したものであつてもよい。

また、エミッタ部 1 2 に非鉛系の材料を使用する等により、エミッタ部 1 2 を融点もしくは蒸散温度の高い材料とすることで、電子もしくはイオンの衝突に対 10 し損傷しにくくなる。

そして、エミッタ部 1 2 を形成する方法としては、スクリーン印刷法、ディッピング法、塗布法、電気泳動法、エアロゾルデポジション法等の各種厚膜形成法や、イオンビーム法、スパッタリング法、真空蒸着法、イオンプレーティング法、化学気相成長法（CVD）、めっき等の各種薄膜形成法を用いることができる。 15 特に、圧電／電歪材料の粉末化したものを、エミッタ部 1 2 として形成し、これに低融点のガラスやゾル粒子を含浸する方法をとることが好ましい。この手法により、700℃あるいは600℃以下といった低温での膜形成が可能となる。

上部電極 1 4 は、焼成後に薄い膜が得られる有機金属ペーストが用いられる。 例えは白金レジネートペースト等の材料を用いることが好ましい。また、分極反 20 転疲労を抑制する酸化物電極、例えば、酸化ルテニウム ( $\text{RuO}_2$ )、酸化イリジウム ( $\text{IrO}_2$ )、ルテニウム酸ストロンチウム ( $\text{SrRuO}_3$ )、 $\text{La}_{1-x}\text{Sr}_x\text{CoO}_3$  (例えは  $x = 0.3$  や  $0.5$ )、 $\text{La}_{1-x}\text{Ca}_x\text{MnO}_3$  (例えは  $x = 0.2$ )、 $\text{La}_{1-x}\text{Ca}_x\text{Mn}_{1-y}\text{Co}_y\text{O}_3$  (例えは  $x = 0.2$ 、 $y = 0.05$ )、もしくはこれらを例えは白金レジネートペーストに混ぜたものが好ましい。

25 また、上部電極 1 4 として、図 4 A 及び図 4 B に示すように、複数の鱗片状の形状を有する物質 1 5 (例えは黒鉛) の集合体 1 7 や、図 5 A 及び図 5 B に示すよ うに、鱗片状の形状を有する物質 1 5 を含んだ導電性の物質 1 9 の集合体 2 1 も好ましく用いられる。この場合、前記集合体 1 7 や集合体 2 1 でエミッタ部 1 2 の表面を完全に覆うのではなく、エミッタ部 1 2 が一部露出する貫通部 2 0 を複

数設けて、エミッタ部12のうち、貫通部20を臨む部分を電子放出領域とする。

上部電極14は、上記材料を用いて、スクリーン印刷、スプレー、コーティング、ディッピング、塗布、電気泳動法等の各種の厚膜形成法や、スパッタリング法、イオンビーム法、真空蒸着法、イオンプレーティング法、化学気相成長法(CVD)、めっき等の各種の薄膜形成法による通常の膜形成法に従って形成することができ、好適には、前者の厚膜形成法によって形成するとよい。

一方、下部電極16は、導電性を有する物質、例えば金属が用いられ、白金、モリブデン、タンクステン等によって構成される。また、高温酸化雰囲気に対して耐性を有する導体、例えば金属単体、合金、絶縁性セラミックスと金属単体との混合物、絶縁性セラミックスと合金との混合物等によって構成され、好適には、白金、イリジウム、パラジウム、ロジウム、モリブデン等の高融点貴金属や、銀-パラジウム、銀-白金、白金-パラジウム等の合金を主成分とするものや、白金とセラミック材料とのサーメット材料によって構成される。さらに好適には、白金のみ又は白金系の合金を主成分とする材料によって構成される。

また、下部電極16として、カーボン、グラファイト系の材料を用いてもよい。なお、電極材料中に添加されるセラミック材料の割合は、5～30体積%程度が好適である。もちろん、上述した上部電極と同様の材料を用いるようにしてもよい。

下部電極16は、好適には上記厚膜形成法によって形成する。下部電極16の厚さは、20μm以下であるとよく、好適には5μm以下であるとよい。

エミッタ部12、上部電極14及び下部電極16をそれぞれ形成するたびに熱処理(焼成処理)することで、一体構造にすることができる。

エミッタ部12、上部電極14及び下部電極16を一体化させるための焼成処理に係る温度としては、500～1400℃の範囲、好適には、1000～1400℃の範囲とするとよい。さらに、膜状のエミッタ部12を熱処理する場合、高温時にエミッタ部12の組成が不安定にならないように、エミッタ部12の蒸発源と共に雰囲気制御を行いながら焼成処理を行うことが好ましい。

焼成処理を行うことで、特に、上部電極14となる膜が例えば厚み10μmか

ら厚み $0.1\mu\text{m}$ に収縮すると同時に複数の孔等が形成されていき、結果的に、図1に示すように、上部電極14に複数の貫通部20が形成され、貫通部20の周部26が底状に形成された構成となる。もちろん、上部電極14となる膜に対して事前（焼成前）にエッチング（ウェットエッチング、ドライエッチング）やリフトオフ等によってパターンニングを施した後、焼成するようにしてもよい。この場合、後述するように、貫通部20として切欠き形状やスリット形状を容易に形成することができる。

なお、エミッタ部12を適切な部材によって被覆し、該エミッタ部12の表面が焼成雰囲気に直接露出しないようにして焼成する方法を採用してもよい。

次に、電子放出素子10Aの電子放出原理について説明する。先ず、上部電極14と下部電極16との間に駆動電圧 $V_a$ が印加される。この駆動電圧 $V_a$ は、例えば、パルス電圧あるいは交流電圧のように、時間の経過に伴って、基準電圧（例えば0V）よりも高い又は低い電圧レベルから基準電圧よりも低い又は高い電圧レベルに急激に変化する電圧として定義される。

また、エミッタ部12の上面と上部電極14と該電子放出素子10Aの周囲の媒質（例えば、真空）との接触箇所においてトリプルジャンクションが形成されている。ここで、トリプルジャンクションとは、上部電極14とエミッタ部12と真空との接触により形成される電界集中部として定義される。なお、前記トリプルジャンクションには、上部電極14とエミッタ部12と真空が1つのポイントとして存在する3重点も含まれる。雰囲気中の真空中度は、 $10^2 \sim 10^{-6}\text{Pa}$ が好ましく、より好ましくは $10^{-3} \sim 10^{-5}\text{Pa}$ である。

第1の実施の形態では、トリプルジャンクションは、上部電極14の底部26や上部電極14の周縁部に形成されることになる。従って、上部電極14と下部電極16との間に上述のような駆動電圧 $V_a$ が印加されると、上記したトリプルジャンクションにおいて電界集中が発生する。

ここで、第1の実施の形態に係る電子放出素子の電子放出方式について図6及び図7を参照しながら説明する。図6の第1の出力期間 $T_1$ （第1段階）において、上部電極14に基準電圧（この場合、0V）よりも低い電圧 $V_2$ が印加され、下部電極16に基準電圧よりも高い電圧 $V_1$ が印加される。この第1の出力期

間T1では、上記したトリプルジャンクションにおいて電界集中が発生し、上部電極14からエミッタ部12に向けて電子放出が行われ、例えばエミッタ部12のうち、上部電極14の貫通部20から露出する部分や上部電極14の周縁部近傍の部分に電子が蓄積される。すなわち、エミッタ部12が帶電することになる

5 このとき、上部電極14が電子供給源として機能する。

次の第2の出力期間T2（第2段階）において、駆動電圧Vaの電圧レベルが急減に変化、すなわち、上部電極14に基準電圧よりも高い電圧V1が印加され、下部電極16に基準電圧よりも低い電圧V2が印加されると、今度は、上部電極14の貫通部20に対応した部分や上部電極14の周縁部近傍に帶電した電子10 は、逆方向へ分極反転したエミッタ部12の双極子（エミッタ部12の表面に負極性が現れる）により、エミッタ部12から追い出され、図7に示すように、エミッタ部12のうち、前記電子の蓄積されていた部分から、貫通部20を通じて電子が放出される。もちろん、上部電極14の外周部近傍からも電子が放出される。

15 そして、この第1の実施の形態に係る電子放出素子10Aにおいては、上部電極14に複数の貫通部20を形成したことから、各貫通部20並びに上部電極14の外周部近傍から均等に電子が放出され、全体の電子放出特性のばらつきが低減し、電子放出の制御が容易になると共に、電子放出効率が高くなる。

また、第1の実施の形態では、上部電極14の底部26とエミッタ部12との間にギャップ28が形成された形となることから、駆動電圧Vaを印加した際に、該ギャップ28の部分において電界集中が発生し易くなる。これは、電子放出の高効率化につながり、駆動電圧の低電圧化（低い電圧レベルでの電子放出）を実現させることができる。

上述したように、第1の実施の形態では、上部電極14は、貫通部20の周部25において底部26が形成されることから、上述したギャップ28の部分での電界集中が大きくなることとも相俟って、上部電極14の底部26から電子が放出され易くなる。これは、電子放出の高出力、高効率化につながり、駆動電圧Vaの低電圧化を実現させることができる。また、上述した電子放出方式において、上部電極14の底部26がゲート電極（制御電極、フォーカス電子レンズ等）とし

て機能するため、放出電子の直進性を向上させることができる。これは、電子放出素子 10 A を多数並べて例えばディスプレイの電子源として構成した場合に、クロストークを低減する上で有利となる。

このように、第 1 の実施の形態に係る電子放出素子 10 Aにおいては、高い電界集中を容易に発生させることができ、しかも、電子放出箇所を多くすることができ、電子放出について高出力、高効率を図ることができ、低電圧駆動（低消費電力）も可能となる。

特に、第 1 の実施の形態では、エミッタ部 12 の少なくとも上面は、誘電体の粒界による凹凸 22 が形成され、上部電極 14 は、誘電体の粒界における凹部 24 に対応した部分に貫通部 20 が形成されるようにしたので、上部電極 14 の底部 26 を簡単に実現させることができる。

また、エミッタ部 12 の上面、すなわち、誘電体の粒界における凸部 30 の表面（凹部 24 の内壁面）と、上部電極 14 の底部 26 の下面 26aとのなす角の最大角度  $\theta$  を、 $1^\circ \leq \theta \leq 60^\circ$  とし、エミッタ部 12 の誘電体の粒界における凸部 30 の表面（凹部 24 の内壁面）と、上部電極 14 の底部 26 の下面 26a との間の鉛直方向に沿った最大間隔  $d$  を、 $0 \mu\text{m} < d \leq 10 \mu\text{m}$  としたので、これらの構成により、ギャップ 28 の部分での電界集中の度合いをより大きくすることができ、電子放出についての高出力、高効率、並びに駆動電圧の低電圧化を効率よく図ることができる。

また、この第 1 の実施の形態では、貫通部 20 を孔 32 の形状としている。図 2 に示すように、エミッタ部 12 のうち、上部電極 14 と下部電極 16（図 1 参照）間に印加される駆動電圧  $V_a$  に応じて分極が反転あるいは変化する部分は、上部電極 14 が形成されている直下の部分（第 1 の部分）40 と、貫通部 20 の内周から貫通部 20 の内方に向かう領域に対応した部分（第 2 の部分）42 であり、特に、第 2 の部分 42 は、駆動電圧  $V_a$  のレベルや電界集中の度合いによって変化することになる。従って、この第 1 の実施の形態では、孔 32 の平均径を、 $0.1 \mu\text{m}$  以上、 $10 \mu\text{m}$  以下としている。この範囲であれば、貫通部 20 を通じて放出される電子の放出分布にはらつきがほとんどなくなり、効率よく電子を放出することができる。

なお、孔32の平均径が0.1μm未満の場合、電子を蓄積する領域が狭くなり、放出される電子の量が少なくなる。もちろん、孔32を多数設けることも考えられるが、困難性を伴い、製造コストが高くなるという懸念がある。孔32の平均径が10μmを超えると、エミッタ部12の前記貫通部20から露出した部分のうち、電子放出に寄与する部分（第2の部分）42の割合（占有率）が小さくなり、電子の放出効率が低下する。

上部電極14の底部26の断面形状としては、図2に示すように、上面及び下面とも水平に延びる形状としてもよいし、図8に示すように、底部26の下面26aがほぼ水平であって、底部26の上端部が上方に盛り上がっていてもよい。また、図9に示すように、底部26の下面26aが、貫通部20の中心に向かうに従って徐々に上方に傾斜してもよいし、図10に示すように、底部26の下面26aが、貫通部20の中心に向かうに従って徐々に下方に傾斜してもよい。図8の例は、ゲート電極としての機能を高めることが可能であり、図10の例では、ギャップ28の部分が狭くなることから、より電界集中を発生し易くなり、電子放出の高出力、高効率を向上させることができる。

また、この第1の実施の形態においては、図11に示すように、電気的な動作において、上部電極14と下部電極16間に、エミッタ部12によるコンデンサC1と、各ギャップ28による複数のコンデンサCaの集合体とが形成された形となる。すなわち、各ギャップ28による複数のコンデンサCaは、互いに並列に接続された1つのコンデンサC2として構成され、等価回路的には、集合体によるコンデンサC2にエミッタ部12によるコンデンサC1が直列接続された形となる。

実際には、集合体によるコンデンサC2にエミッタ部12によるコンデンサC1がそのまま直列接続されることではなく、上部電極14への貫通部20の形成個数や全体の形成面積等に応じて、直列接続されるコンデンサ成分が変化する。

ここで、図12に示すように、例えばエミッタ部12によるコンデンサC1のうち、その25%が集合体によるコンデンサC2と直列接続された場合を想定して、容量計算を行ってみる。先ず、ギャップ28の部分は真空であることから比誘電率は1となる。そして、ギャップ28の最大間隔dを0.1μm、1つのギ

ギャップ28の部分の面積 $S = 1 \mu\text{m} \times 1 \mu\text{m}$ とし、ギャップ28の数を10, 000個とする。また、エミッタ部12の比誘電率を2000、エミッタ部12の厚みを $20 \mu\text{m}$ 、上部電極14と下部電極16の対向面積を $200 \mu\text{m} \times 200 \mu\text{m}$ とすると、集合体によるコンデンサC2の容量値は $0.885 \text{ pF}$ 、エミッタ部12によるコンデンサC1の容量値は $35.4 \text{ pF}$ となる。そして、エミッタ部12によるコンデンサC1のうち、集合体によるコンデンサC2と直列接続されている部分を全体の25%としたとき、該直列接続された部分における容量値（集合体によるコンデンサC2の容量値を含めた容量値）は $0.805 \text{ pF}$ であり、残りの容量値は $26.6 \text{ pF}$ となる。

これら直列接続された部分と残りの部分は並列接続されているから、全体の容量値は、 $27.5 \text{ pF}$ となる。この容量値は、エミッタ部12によるコンデンサC1の容量値 $35.4 \text{ pF}$ の78%である。つまり、全体の容量値は、エミッタ部12によるコンデンサC1の容量値よりも小さくなる。

このように、複数のギャップ28によるコンデンサCaの集合体については、ギャップ28によるコンデンサCaの容量値が相対的に小さいものとなり、エミッタ部12によるコンデンサC1との分圧から、印加電圧Vaのほとんどはギャップ28に印加されることになり、各ギャップ28において、電子放出の高出力化が実現される。

また、集合体によるコンデンサC2は、エミッタ部12によるコンデンサC1に直列接続された構造となることから、全体の容量値は、エミッタ部12によるコンデンサC1の容量値よりも小さくなる。このことから、電子放出は高出力であり、全体の消費電力は小さくなるという好ましい特性を得ることができる。

次に、上述した第1の実施の形態に係る電子放出素子10Aの3つの変形例について図13～図15を参照しながら説明する。

先ず、第1の変形例に係る電子放出素子10Aaは、図13に示すように、貫通部20の形状、特に、上面から見た形状が切欠き44の形状である点で異なる。切欠き44の形状としては、図13に示すように、多数の切欠き44が連続して形成されたくし歯状の切欠き46が好ましい。この場合、貫通部20を通じて放出される電子の放出分布のばらつきを低減し、効率よく電子を放出する上で有

利となる。特に、切欠き44の平均幅を、0.1μm以上、10μm以下とすることが好ましい。この平均幅は、切欠き44の中心線を直交するそれぞれ異なる複数の線分の長さの平均を示す。

第2の変形例に係る電子放出素子10Abは、図14に示すように、貫通部20の形状、特に、上面から見た形状がスリット48である点で異なる。ここで、スリット48とは、長軸方向（長手方向）の長さが短軸方向（短手方向）の長さの10倍以上であるものをいう。従って、長軸方向（長手方向）の長さが短軸方向（短手方向）の長さの10倍未満のものは孔32（図3参照）の形状として定義することができる。また、スリット48としては、複数の孔32が連通してつながったものも含まれる。この場合、スリット48の平均幅は、0.1μm以上、10μm以下とすることが好ましい。貫通部20を通じて放出される電子の放出分布のはらつきを低減し、効率よく電子を放出する上で有利になるからである。この平均幅は、スリット48の中心線を直交するそれぞれ異なる複数の線分の長さの平均を示す。

第3の変形例に係る電子放出素子10Acは、図15に示すように、エミッタ部12の上面のうち、貫通部20と対応する部分、例えば誘電体の粒界の凹部24にフローティング電極50が存在している点で異なる。この場合、フローティング電極50も電子供給源となることから、電子の放出段階（第2段階）において、多数の電子を貫通部20を通じて外部に放出させることができる。この場合、フローティング電極50からの電子放出は、フローティング電極50／誘電体／真空のトリプルジャンクションにおける電界集中によるものが考えられる。

ここで、第1の実施の形態に係る電子放出素子10Aの特性、特に、電圧－電荷量特性（電圧－分極量特性）について説明する。

この第1の実施の形態に係る電子放出素子10Aは、真空中において、図16の特性に示すように、基準電圧=0(V)を基準とした非対称のヒステリシス曲線を描く。

この特性について説明すると、先ず、エミッタ部12のうち、電子が放出される部分を電子放出部と定義したとき、基準電圧が印加されるポイントp1（初期状態）では、前記電子放出部に電子がほとんど蓄積されていない状態となってい

る。その後、負電圧を印加すると、前記電子放出部において、エミッタ部12が分極反転した双極子の正電荷の量が増し、それに伴って、第1段階における上部電極14から電子放出部へ向けた電子放出が起きて、電子が蓄積されていくこととなる。負電圧のレベルを負方向に大きくしていくと、前記電子放出部への電子の蓄積に伴って、ある負電圧のポイントp2において正電荷の量と負電荷の量が平衡な状態となり、負電圧のレベルを負方向に大きくしていくと、さらに電子の蓄積量が増加し、これに伴って、負電荷の量が正電荷の量よりも多い状態となる。ポイントp3において電子の蓄積飽和状態となる。ここで負電荷の量は、蓄積したまま残っている電子の量と、エミッタ部12が分極反転した双極子の負電荷の量の合計である。

その後、負電圧のレベルを小さくしていくと、さらに、基準電圧を超えて正電圧を印加していくと、ポイントp4において、第2段階における電子の放出が開始される。この正電圧を正方向に大きくすれば、電子の放出量が増加し、ポイントp5では、正電荷の量と負電荷の量が平衡な状態となる。そして、ポイントp6では、蓄積されていた電子がほとんど放出され、正電荷の量と負電荷の量の差が初期状態とほぼ同じになる。すなわち、電子の蓄積はほとんどなくなり、エミッタ部12が分極した双極子の負電荷のみが電子放出部に現れている状態である。

そして、この特性の特徴ある部分は、以下の点である。

(1) 正電荷の量と負電荷の量が平衡な状態であるポイントp2における負電圧をV1、ポイントp5における正電圧をV2としたとき、

$$|V1| < |V2|$$

である。

(2) より詳しくは、 $1.5 \times |V1| < |V2|$ である。

(3) ポイントp2における正電荷の量と負電荷の量の変化の割合を $\Delta Q_1 / \Delta V_1$ 、ポイントp5における正電荷の量と負電荷の量の変化の割合を $\Delta Q_2 / \Delta V_2$ としたとき、

$$(\Delta Q_1 / \Delta V_1) > (\Delta Q_2 / \Delta V_2)$$

である。

(4) 電子が蓄積飽和状態となる電圧をV3、電子の放出が開始される電圧をV

4としたとき、

$$1 \leq |V_4| / |V_3| \leq 1.5$$

である。

次に、図16の特性を電圧一分極量特性の立場で説明する。初期状態において

- 5 エミッタ部12が一方向に分極されて、例えば双極子の負極がエミッタ部12  
の上面に向いた状態（図17A参照）となっている場合を想定して説明する。

先ず、図16に示すように、基準電圧（例えば0V）が印加されるポイントp  
1（初期状態）では、図17Aに示すように、双極子の負極がエミッタ部12の  
上面に向いた状態となっていることから、エミッタ部12の上面には電子がほと  
10 んど蓄積されていない状態となっている。

その後、負電圧を印加し、該負電圧のレベルを負方向に大きくしていくと、負  
の抗電圧を超えたあたり（図16のポイントp2参照）から分極が反転しはじめ  
、図16のポイントp3にて全ての分極が反転することになる（図17B参照）  
。この分極反転によって、上記したトリプルジャンクションにおいて電界集中が  
15 発生し、第1段階における上部電極14からエミッタ部12に向けた電子放出が  
起こり、例えばエミッタ部12のうち、上部電極14の貫通部20から露出する  
部分や上部電極14の周縁部近傍の部分に電子が蓄積される（図17C参照）。特  
に、上部電極14から、エミッタ部12のうち、上部電極14の貫通部20から  
露出する部分に向けて電子が放出（内部放出）されることになる。そして、図1  
20 のポイントp3において電子の蓄積飽和状態となる。

その後、負電圧のレベルを小さくしていくと、さらに、基準電圧を超えて正電圧  
を印加していくと、ある電圧レベルまでは、エミッタ部12の上面の帶電状態が  
維持される（図18A参照）。正電圧のレベルをさらに大きくいくと、図16のポ  
イントp4の直前において、双極子の負極がエミッタ部12の上面に向き始める  
25 領域が発生し（図18B参照）、さらに、レベルを上げて図16のポイントp4以  
降において、双極子の負極によるクーロン反発力により、電子の放出が開始され  
る（図18C参照）。この正電圧を正方向に大きくすれば、電子の放出量が増加し  
、正の抗電圧を超えたあたり（ポイントp5）から分極が再び反転する領域が拡  
大して、ポイントp6では、蓄積されていた電子がほとんど放出され、このとき

の分極量は初期状態の分極量とほぼ同じになる。

そして、この電子放出素子 10 A の特性の特徴ある部分は、以下の点となる。

(A) 負の抗電圧を  $v_1$ 、正の抗電圧を  $v_2$ としたとき、

$$|v_1| < |v_2|$$

5 である。

(B) より詳しくは、 $1.5 \times |v_1| < |v_2|$  である。

(C) 負の抗電圧  $v_1$  を印加した際における分極の変化の割合を  $\Delta q_1 / \Delta v_1$  、正の抗電圧  $v_2$  を印加した際における分極の変化の割合を  $\Delta q_2 / \Delta v_2$  としたとき、

10  $(\Delta q_1 / \Delta v_1) > (\Delta q_2 / \Delta v_2)$

である。

(D) 電子が蓄積飽和状態となる電圧を  $v_3$ 、電子の放出が開始される電圧を  $v_4$  としたとき、

$$1 \leq |v_4| / |v_3| \leq 1.5$$

15 である。

第 1 の実施の形態に係る電子放出素子 10 A は、上述のような特性を有することから、複数の画素に応じて配列された複数の電子放出素子 10 A を有し、各電子放出素子 10 A からの電子放出によって画像表示を行うディスプレイに簡単に適用させることができる。

20 次に、第 1 の実施の形態に係る電子放出素子 10 A を使用した構成されたディスプレイ 100 について説明する。

このディスプレイ 100 は、図 19 に示すように、多数の電子放出素子 10 A が画素に対応してマトリックス状あるいは千鳥状に配列された表示部 102 と、該表示部 102 を駆動するための駆動回路 104 とを有する。この場合、1 画素当たり 1 つの電子放出素子 10 A を割り当ててもよいし、1 画素当たり複数の電子放出素子 10 A を割り当てるようにしてもよい。この実施の形態では、説明を簡単にするために、1 画素当たり 1 つの電子放出素子 10 A を割り当てた場合を想定して説明する。

この駆動回路 104 は、表示部 102 に対して行を選択するための複数の行選

択線 106 が配線され、同じく表示部 102 に対して画素信号 Sd を供給するための複数の信号線 108 が配線されている。

さらに、この駆動回路 104 は、行選択線 106 に選択的に選択信号 Ss を供給して、1 行単位に電子放出素子 10A を順次選択する行選択回路 110 と、信号線 108 にパラレルに画素信号 Sd を出力して、行選択回路 110 にて選択された行（選択行）にそれぞれ画素信号 Sd を供給する信号供給回路 112 と、入力される映像信号 Sv 及び同期信号 Sc に基づいて行選択回路 110 及び信号供給回路 112 を制御する信号制御回路 114 とを有する。

行選択回路 110 及び信号供給回路 112 には電源回路 116（例えば 50V 及び 0V）が接続され、特に、行選択回路 110 と電源回路 116 間の負極ラインと GND（グランド）間にパルス電源 118 が接続されている。パルス電源 118 は、後述する電荷蓄積期間 Td に基準電圧（例えば 0V）、発光期間 Th に電圧（例えば -400V）とされたパルス状の電圧波形を出力する。

行選択回路 110 は、電荷蓄積期間 Td に、選択行に対して選択信号 Ss を出力し、非選択行に対して非選択信号 Sn を出力する。また、行選択回路 110 は、発光期間 Th に電源回路 116 からの電源電圧（例えば 50V）とパルス電源 118 からの電圧（例えば -400V）が加わった一定電圧（例えば -350V）を出力する。

信号供給回路 112 は、パルス生成回路 120 と振幅変調回路 122 とを有する。パルス生成回路 120 は、電荷蓄積期間 Td において、一定のパルス周期で一定の振幅（例えば 50V）を有するパルス信号 Sp を生成、出力し、発光期間 Th において、基準電圧（例えば 0V）を出力する。

振幅変調回路 122 は、電荷蓄積期間 Td において、パルス生成回路 120 からのパルス信号 Sp をそれぞれ選択行に関する画素の輝度レベルに応じて振幅変調し、それぞれ選択行に関する画素の画素信号 Sd として出力し、発光期間 Th において、パルス生成回路 120 からの基準電圧をそのまま出力する。これらのタイミング制御並びに選択された複数の画素の輝度レベルの振幅変調回路 122 への供給は、信号制御回路 114 を通じて行われる。

例えば図 20A～図 20C において 3 つの例を示すように、輝度レベルが低い

場合は、パルス信号  $S_p$  の振幅を低レベル  $V_{s1}$  とし（図 20 A 参照）、輝度レベルが中位の場合は、パルス信号  $S_p$  の振幅を中レベル  $V_{sm}$  とし（図 20 B 参照）、輝度レベルが高い場合は、パルス信号  $S_p$  の振幅を高レベル  $V_{sh}$  とする（図 20 C 参照）。この例では、3つに分けた例を示したが、ディスプレイ 100 に適用する場合には、パルス信号  $S_p$  を、画素の輝度レベルに応じて、例えば 128 段階や 256 段階に振幅変調される。

ここで、信号供給回路 112 の変形例について図 21～図 22 C を参照しながら説明する。

変形例に係る信号供給回路 112 a は、図 21 に示すように、パルス生成回路 124 とパルス幅変調回路 126 とを有する。パルス生成回路 124 は、電荷蓄積期間  $T_d$  において、電子放出素子 10A に印加される電圧波形（図 22 A～図 22 C において実線で示す）において、立ち上がり部分の波形が連続的にレベルが変化するパルス信号  $S_{pa}$ （図 22 A～図 22 C において破線で示す）を生成、出力し、発光期間  $T_h$  において、基準電圧を出力する。そして、パルス幅変調回路 126 は、電荷蓄積期間  $T_d$  において、パルス生成回路 124 からのパルス信号  $S_{pa}$  のパルス幅  $W_p$ （図 22 A～図 22 C 参照）をそれぞれ選択行に関する画素の輝度レベルに応じて変調し、それぞれ選択行に関する画素の画素信号  $S_d$  として出力する。発光期間  $T_h$  においてはパルス生成回路 124 からの基準電圧をそのまま出力する。この場合も、これらのタイミング制御並びに選択された複数の画素の輝度レベルのパルス幅変調回路 126 への供給は、信号制御回路 114 を通じて行われる。

例えば図 22 A～図 22 C において 3 つの例を示すように、輝度レベルが低い場合は、パルス信号  $S_{pa}$  のパルス幅  $W_p$  を短くして、実質的な振幅を低レベル  $V_{s1}$  とし（図 22 A 参照）、輝度レベルが中位の場合は、パルス信号  $S_{pa}$  のパルス幅  $W_p$  を中位の長さにして、実質的な振幅を中位レベル  $V_{sm}$  とし（図 22 B 参照）、輝度レベルが高い場合は、パルス信号  $S_{pa}$  のパルス幅  $W_p$  を長くして、実質的な振幅を高レベル  $V_{sh}$  とする（図 22 C 参照）。ここでは、3 つの例を示したが、ディスプレイ 100 に適用する場合には、パルス信号  $S_{pa}$  を、画素の輝度レベルに応じて、例えば 128 段階や 256 段階にパルス幅変調される。

ここで、上述した電子の蓄積に係る負電圧のレベルを変化させた場合の特性図の変化を、図20A～図20Cに示すパルス信号S<sub>p</sub>に対する3つの振幅変調の例と、図22A～図22Cに示すパルス信号S<sub>p a</sub>に対する3つのパルス幅変調の例との関連でみると、図20A及び図22Aに示す負電圧のレベルV<sub>s 1</sub>では  
5 、図23Aに示すように、電子放出素子10Aに蓄積される電子の量が少ない。  
図20B及び図22Bに示す負電圧のレベルV<sub>s m</sub>では、図23Bに示すように、蓄積される電子の量が中位であり、図20C及び図22Cに示す負電圧のレベルV<sub>s h</sub>では、図23Cに示すように、蓄積される電子の量が多く、ほぼ飽和状態となっている。

10 しかし、これら図23A～図23Cに示すように、電子の放出が開始されるポイントp<sub>4</sub>の電圧レベルはほとんど同じになっている。すなわち、電子を蓄積した後、ポイントp<sub>4</sub>に示す電圧レベルまで印加電圧が変化したとしても、電子の蓄積量にほとんど変化はなく、メモリ効果が発揮されることがわかる。

また、第1の実施の形態に係る電子放出素子10Aをディスプレイ100の画  
15 素として利用する場合は、図24に示すように、上部電極14の上方に、例えばガラスやアクリル製の透明板130が配置され、該透明板130の裏面（上部電極14と対向する面）に例えば透明電極にて構成されたコレクタ電極132が配置され、該コレクタ電極132には蛍光体134が塗布される。なお、コレクタ電極132にはバイアス電圧源136（コレクタ電圧V<sub>c</sub>）が抵抗を介して接続  
20 される。また、電子放出素子10Aは、当然のことながら、真空空間内に配置される。雰囲気中の真密度は、 $10^2 \sim 10^{-6}$ Paが好ましく、より好ましくは $10^{-3} \sim 10^{-5}$ Paである。

このような範囲を選んだ理由は、低真空では、（1）空間内に気体分子が多いため、プラズマを生成し易く、プラズマが多量に発生され過ぎると、その正イオン  
25 が多量に上部電極14に衝突して損傷を進めるおそれや、（2）放出電子がコレクタ電極132に到達する前に気体分子に衝突してしまい、コレクタ電圧V<sub>c</sub>で十分に加速した電子による蛍光体134の励起が十分に行われなくなるおそれがあるからである。

一方、高真空では、電界が集中するポイントから電子を出し易いものの、構

造体の支持、及び真空のシール部が大きくなり、小型化に不利になるという問題があるからである。

図24の例では、透明板130の裏面にコレクタ電極132を形成し、該コレクタ電極132の表面（上部電極14と対向する面）に蛍光体134を形成する  
5 ようにしたが、その他、図25に示すように、透明板130の裏面に蛍光体134を形成し、該蛍光体134を覆うようにコレクタ電極132を形成するようにしてもよい。

これは、CRT等で用いられる構成であって、コレクタ電極132がメタルバッケンとして機能する。エミッタ部12から放出された電子はコレクタ電極132を貫通して蛍光体134に進入し、該蛍光体134を励起する。従って、コレクタ電極132は電子が貫通できる程度の厚さであり、100nm以下が好ましい。  
10 電子の運動エネルギーが大きいほど、コレクタ電極132の厚みを厚くすることができます。

このような構成とすることで以下の効果を奏することができる。

15 (a) 蛍光体134が導電性でない場合、蛍光体134の帶電（負）を防ぎ、電子の加速電界を維持することができる。

(b) コレクタ電極132が蛍光体134の発光を反射して、蛍光体134の発光を効率よく透明板130側（発光面側）に放出することができる。

20 (c) 蛍光体134への過度な電子の衝突を防ぐことができ、蛍光体134の劣化や蛍光体134からのガス発生を防止することができる。

次に、この第1の実施の形態に係る電子放出素子10Aについての4つの実験例（第1～第4の実験例）を示す。

第1の実験例は、電子放出素子10Aの電子の放出状態をしたものである。すなわち、図26Aに示すように、電子放出素子10Aに対して-70Vの電圧を有する書き込みパルスPwを印加して、電子放出素子10Aに電子を蓄積させ、その後、280Vの電圧を有する点灯パルスPhを印加して電子を放出させた。電子の放出状態は、蛍光体134の発光を受光素子（フォトダイオード）にて検出して測定した。検出波形を図26Bに示す。なお、書き込みパルスPwと点灯パルスPhのデューティ比は50%とした。

この第1の実験例から、点灯パルス  $P_h$  の立ち上がり途中から発光が開始され、該点灯パルス  $P_h$  の初期段階で発光が終了していることがわかる。従って、点灯パルス  $P_h$  の期間をより短くしても発光には影響はないものと考えられる。これは、高電圧の印加期間の短縮化につながり、消費電力の低減化を図る上で有利になる。

第2の実験例は、電子放出素子 10 A の電子の放出量が、図27に示す書込みパルス  $P_w$  の振幅によってどのように変化するかをみたものである。電子の放出量の変化は第1の実験例と同様に、蛍光体 134 の発光を受光素子（フォトダイオード）にて検出して測定した。実験結果を図28に示す。

図28において、実線Aは、点灯パルス  $P_h$  の振幅を 200 V とし、書込みパルス  $P_w$  の振幅を -10 V から -80 V に変化させた場合の特性を示し、実線Bは、点灯パルス  $P_h$  の振幅を 350 V とし、書込みパルス  $P_w$  の振幅を -10 V から -80 V に変化させた場合の特性を示す。

この図28に示すように、書込みパルス  $P_w$  を -20 V から -40 V に変化させた場合、発光輝度は、ほとんど直線的に変化していることがわかる。特に、点灯パルス  $P_h$  の振幅が 350 V の場合と 200 V の場合とで比較すると、350 V の場合が書込みパルス  $P_w$  に対する発光輝度変化のダイナミックレンジが広くなっている。画像表示における輝度向上、コントラストの向上を図る上で有利であることがわかる。この傾向は、点灯パルス  $P_h$  の振幅設定に対して発光輝度が飽和するまでの範囲において、点灯パルス  $P_h$  の振幅を上げるほど有利になると思われるが、信号伝送系の耐圧や消費電力との関係で、最適な値に設定することが好ましい。

第3の実験例は、電子放出素子 10 A の電子の放出量が、図27に示す点灯パルス  $P_h$  の振幅によってどのように変化するかをみたものである。電子の放出量の変化は第1の実験例と同様に、蛍光体 134 の発光を受光素子（フォトダイオード）にて検出して測定した。実験結果を図29に示す。

図29において、実線Cは、書込みパルス  $P_w$  の振幅を -40 V とし、点灯パルス  $P_h$  の振幅を 50 V から 400 V に変化させた場合の特性を示し、実線Dは、書込みパルス  $P_w$  の振幅を -70 V とし、点灯パルス  $P_h$  の振幅を 50 V から

400Vに変化させた場合の特性を示す。

この図29に示すように、点灯パルスPhを100Vから300Vに変化させた場合、発光輝度は、ほとんど直線的に変化していることがわかる。特に、書込みパルスPwの振幅が-40Vの場合と-70Vの場合とで比較すると、-70Vの5場合が点灯パルスPhに対する発光輝度変化のダイナミックレンジが広くなっている。画像表示における輝度向上、コントラストの向上を図る上で有利であることがわかる。この傾向は、書込みパルスPwの振幅設定に対して発光輝度が飽和するまでの範囲において、書込みパルスPwの振幅（この場合、絶対値）を上げるほど有利になると思われるが、この場合も、信号伝送系の耐圧や消費電力との関係で、最適な値に設定することが好ましい。  
10

第4の実験例は、電子放出素子10Aの電子の放出量が、図24又は図25に示すコレクタ電圧Vcのレベルによってどのように変化するかをみたものである。電子の放出量の変化は第1の実験例と同様に、蛍光体134の発光を受光素子（フォトダイオード）にて検出して測定した。実験結果を図30に示す。

15 図30において、実線Eは、コレクタ電圧Vcのレベルを3kVとし、点灯パルスPhの振幅を80Vから500Vに変化させた場合の特性を示し、実線Fは、コレクタ電圧Vcのレベルを7kVとし、点灯パルスPhの振幅を80Vから500Vに変化させた場合の特性を示す。

この図30に示すように、コレクタ電圧Vcを7kVとした方が、3kVの場合よりも、点灯パルスPhに対する発光輝度変化のダイナミックレンジが広くなっている。画像表示における輝度向上、コントラストの向上を図る上で有利であることがわかる。この傾向は、コレクタ電圧Vcのレベルを上げるほど有利になると思われるが、この場合も、信号伝送系の耐圧や消費電力との関係で、最適な値に設定することが好ましい。

25 ここで、上述したディスプレイ100の1つの駆動方法について図31及び図32を参照しながら説明する。図31は、代表的に1行1列、2行1列及びn行1列の画素の動作を示す。なお、ここで使用する電子放出素子10Aは、図16のポイントp2における抗電圧v1が例えば-20V、ポイントp5における抗電圧v2が+70V、ポイントp3における電圧v3が-50V、ポイントp4

における電圧  $v_4$  が +50 V の特性を有する。

また、図 3 1 に示すように、1枚の画像の表示期間を 1 フレームとしたとき、該 1 フレーム内に 1 つの電荷蓄積期間  $T_d$  と 1 つの発光期間  $T_h$  が含まれており、1 つの電荷蓄積期間  $T_d$  には、 $n$  個の選択期間  $T_s$  が含まれる。各選択期間  $T_s$  はそれぞれ対応する行の選択期間  $T_s$  となるため、対応しない  $n - 1$  個の行については非選択期間  $T_n$  となる。

そして、この駆動方法は、電荷蓄積期間  $T_d$  に、全ての電子放出素子 10 A を走査して、ON 対象（発光対象）の画素に対応した複数の電子放出素子 10 A にそれぞれ対応する画素の輝度レベルに応じた電圧を印加することにより、ON 対象の画素に対応した複数の電子放出素子 10 A にそれぞれ対応する画素の輝度レベルに応じた量の電荷（電子）を蓄積させ、次の発光期間  $T_h$  に、全ての電子放出素子 10 A に一定の電圧を印加して、ON 対象の画素に対応した複数の電子放出素子 10 A からそれぞれ対応する画素の輝度レベルに応じた量の電子を放出させて、ON 対象の画素を発光させるというものである。

具体的に説明すると、図 3 2 にも示すように、先ず、1 行目の選択期間  $T_s$ においては、1 行目の行選択線 106 に例えば 50 V の選択信号  $S_s$  が供給され、その他の行の行選択線 106 に例えば 0 V の非選択信号  $S_n$  が供給される。1 列目の画素のうち、ON（発光）とすべき画素の信号線 108 に供給される画素信号  $S_d$  の電圧は、0 V 以上、30 V 以下の範囲であって、かつ、それぞれ対応する画素の輝度レベルに応じた電圧となる。輝度レベル最大であれば 0 V となる。この画素信号  $S_d$  の輝度レベルに応じた変調は、図 1 9 に示す振幅変調回路 122 や図 2 1 に示すパルス幅変調回路 126 を通じて行われる。

これにより、1 行目の ON とすべき各画素にそれぞれ対応する電子放出素子 10 A の上部電極 14 と下部電極 16 間にはそれぞれ輝度レベルに応じて -50 V 以上、-20 V 以下の電圧が印加される。その結果、上述した各電子放出素子 10 A には、印加された電圧に応じた電子が蓄積されることになる。例えば 1 行 1 列目の画素に対応する電子放出素子は、例えば最大輝度レベルであることから、図 1 6 の特性のポイント p3 の状態となり、エミッタ部 12 のうち、上部電極 14 の貫通部 20 から露出する部分に最大量の電子が蓄積されることになる。

なお、OFF（消光）を示す画素に対応する電子放出素子10Aに供給される画素信号Sdの電圧は、例えば50Vであり、これにより、OFF対象の画素に対応する電子放出素子10Aには0Vが印加され、これは、図16の特性のポイントp1の状態となり、電子の蓄積は行われない。

5 1行目への画素信号Sdの供給が終了した後、2行目の選択期間Tsにおいて  
は、2行目の行選択線106に50Vの選択信号Ssが供給され、その他の行の  
行選択線106に0Vの非選択信号Snが供給される。この場合も、ON（発光）  
)とすべき画素に対応する電子放出素子10Aの上部電極14と下部電極16間  
にはそれぞれ輝度レベルに応じて-50V以上、-20V以下の電圧が印加され  
10 る。このとき、非選択状態にある例えば1行目の画素に対応する電子放出素子1  
0Aの上部電極14と下部電極16間には0V以上、50V以下の電圧が印加さ  
れるが、この電圧は、図16の特性のポイント4に達しないレベルの電圧である  
ことから、1行目のうち、ON（発光）とすべき画素に対応する電子放出素子1  
0Aから電子が放出されるということはない。つまり、非選択状態の1行目の画  
15 素が、選択状態の2行目の画素に供給される画素信号Sdの影響を受けるとい  
うことがない。

以下同様に、n行目の選択期間Tsにおいては、n行目の行選択線106に5  
0Vの選択信号Ssが供給され、その他の行の行選択線106に0Vの非選択信  
号Snが供給される。この場合も、ON（発光）とすべき画素に対応する電子放  
20 出素子10Aの上部電極14と下部電極16間にはそれぞれ輝度レベルに応じて  
-50V以上、-20V以下の電圧が印加される。このとき、非選択状態にある  
1行～(n-1)行の各画素に対応する電子放出素子10Aの上部電極14と下  
部電極16間には0V以上、50V以下の電圧が印加されるが、これら非選択状  
態の各画素のうち、ON（発光）とすべき画素に対応する電子放出素子10Aか  
25 ら電子が放出されるということはない。

n行目の選択期間Tsが経過した段階で、発光期間Thに入る。この発光期間  
Thでは、全電子放出素子10Aの上部電極14には、信号供給回路112を通  
じて基準電圧（例えば0V）が印加され、全電子放出素子10Aの下部電極16  
には、-350Vの電圧（パルス電源118の-400V+行選択回路110の

電源電圧 50 V) が印加される。これにより、全電子放出素子 10 A の上部電極 14 と下部電極 16 間に高電圧 (+350 V) が印加される。全電子放出素子 10 A は、それぞれ図 16 の特性のポイント p 6 の状態となり、図 18 C に示すように、エミッタ部 12 のうち、前記電子の蓄積されていた部分から、貫通部 20 を通じて電子が放出される。もちろん、上部電極 14 の外周部近傍からも電子が放出される。

つまり、ON (発光) とすべき画素に対応する電子放出素子 10 A から電子が放出され、放出された電子は、これら電子放出素子 10 A に対応するコレクタ電極 132 に導かれて、対応する蛍光体 134 を励起し、発光する。これによって 10 、透明板 130 の表面から画像が表示されることになる。

以後同様に、フレーム単位に、電荷蓄積期間 Td において、ON (発光) とすべき画素に対応する電子放出素子 10 A に電子を蓄積し、発光期間 Th において、蓄積されていた電子を放出して蛍光発光させることで、透明板 130 の表面から動画像あるいは静止画像が表示されることになる。

15 このように、第 1 の実施の形態に係る電子放出素子においては、複数の画素に応じて配列された複数の電子放出素子 10 A を有し、各電子放出素子 10 A からの電子放出によって画像表示を行うディスプレイ 100 に適用させることが容易になる。

例えば、上述したように、1 フレーム内の電荷蓄積期間 Td に、全ての電子放出素子を走査して、ON 対象の画素に対応した複数の電子放出素子 10 A にそれぞれ対応する画素の輝度レベルに応じた電圧を印加することにより、ON 対象の画素に対応した複数の電子放出素子 10 A にそれぞれ対応する画素の輝度レベルに応じた量の電荷を蓄積させ、次の発光期間 Th に、全ての電子放出素子 10 A に一定の電圧を印加して、ON 対象の画素に対応した複数の電子放出素子 10 A 25 からそれぞれ対応する画素の輝度レベルに応じた量の電子を放出させて、ON 対象の画素を発光させることが可能となる。

また、この第 1 の実施の形態においては、例えば電子が蓄積飽和状態となる電圧 V3 と、電子の放出が開始される電圧 V4 との関係が、 $1 \leq |V4| / |V3| \leq 1.5$  である。

通常、例えば、電子放出素子 10 A をマトリックス状に配列して、水平走査期間に同期させて 1 行単位に電子放出素子 10 A を選択し、選択状態にある電子放出素子 10 A に対してそれぞれ画素の輝度レベルに応じた画素信号 Sd を供給するとき、非選択状態の画素にも、画素信号 Sd が供給されることになる。

5 非選択状態の電子放出素子 10 A が画素信号 Sd の影響を受けて例えば電子放出してしまうと、表示画像の画質の劣化やコントラストの低下を招くという問題がある。

しかし、この第 1 の実施の形態では、上述した特性を有するため、選択状態の電子放出素子 10 A に供給される画素信号 Sd の電圧レベルを、基準電圧から電圧 V3 までの任意の電圧とし、非選択状態の電子放出素子 10 A に対して、例えば画素信号 Sd の逆極性の信号が供給されるように設定するという簡単な電圧関係にしても、非選択状態の画素が、選択状態の画素への画素信号 Sd によって影響を受けることがない。すなわち、各画素の選択期間 Tsにおいて蓄積された各画素の電子蓄積量（各電子放出素子 10 A におけるエミッタ部 12 の帶電量）が  
10 15 、次の発光期間 Thにおいて電子放出が行われるまで維持されることになり、その結果、各画素でのメモリ効果を実現でき、高輝度、高コントラスト化を図ることができる。

一方、このディスプレイ 100においては、電荷蓄積期間 Td に、全ての電子放出素子 10 A に必要な電荷を蓄積し、その後の発光期間 Th に、全ての電子放出素子 10 A に対して電子放出に必要な電圧を印加して、ON 対象の画素に対応した複数の電子放出素子 10 A から電子を放出させて、ON 対象の画素を発光させるようにしている。

通常、電子放出素子 10 A で画素を構成した場合、画素を発光させるには、電子放出素子 10 A に高電圧を印加する必要がある。そのことから、画素への走査時に電荷を蓄積してさらに発光を行わせる場合、1 つの画像を表示させる期間（例えば 1 フレーム）にわたって高電圧を印加する必要があり、消費電力が大きくなるという問題がある。また、各電子放出素子 10 A を選択し、画素信号 Sd を供給する回路も高電圧に対応した回路にする必要がある。

しかし、この例では、全ての電子放出素子 10 A に電荷を蓄積した後に、全て

の電子放出素子 10 A に電圧を印加して、ON 対象の電子放出素子 10 A に対応する画素を発光させるというものである。

従って、全ての電子放出素子 10 A に電子放出のための電圧（放出電圧）を印加する期間  $T_h$  は、当然に、1 フレームよりも短くなり、しかも、図 26 A 及び  
5 図 26 B に示す第 1 の実験例からもわかるように、放出電圧の印加期間を短くすることができるところから、画素への走査時に電荷の蓄積と発光とを行わせる場合と比して消費電力を大幅に低減させることができる。

また、電子放出素子 10 A に電荷を蓄積する期間  $T_d$  と、ON 対象の画素に対応する電子放出素子 10 A から電子放出させる期間  $T_h$  とを分離したため、各電子放出素子 10 A にそれぞれ輝度レベルに応じた電圧を印加するための回路の低電圧駆動を図ることができる。  
10

また、画像に応じた画素信号及び電荷蓄積期間  $T_d$  の選択信号  $S_s$  / 非選択信号  $S_n$  は、行又は列毎に駆動する必要があるが、上述した実施の形態にみられるように、駆動電圧は数 10 ボルトでよいため、蛍光表示管等で使用される安価な多出力ドライバを使用することができる。一方、発光期間  $T_h$  においては、電子を十分に放出させる電圧は、前記駆動電圧よりも大きくなる可能性があるが、全て ON 対象の画素を一括して駆動すればよいため、多出力の回路部品を必要としない。例えば高耐圧のディスクリート部品で構成した 1 出力だけの駆動回路があればよいため、コスト的に安価で済む上に、回路規模も小さく済むという利点がある。  
15 上記の駆動電圧及び放電電圧は、エミッタ部 12 の膜厚を薄くすることで、低電圧化を図ることが可能である。従って、膜厚の設定により、例えば駆動電圧を数ボルトにすることも可能となる。  
20

さらに、本駆動方法によれば、行走査による第 1 段階と分離して、行走査によらない第 2 段階の電子放出が全画素一斉に行われることから、解像度、画面サイズによらず発光時間を確保し易く、輝度を大きくすることができる。また、画面に映像を一斉に表示させることから、偽輪郭や画像ぼやけのない動画像が表示可能である。  
25

次に、第 2 の実施の形態に係る電子放出素子 10 B について図 33 を参照しながら説明する。

この第2の実施の形態に係る電子放出素子10Bは、図33に示すように、上述した第1の実施の形態に係る電子放出素子10Aとほぼ同様の構成を有するが、上部電極14の構成材料が下部電極16と同じである点と、上部電極14の厚みtが $10\mu m$ よりも厚い点と、貫通部20をエッティング（ウェットエッティング、ドライエッティング）やリフトオフ、レーザ等を使用して人為的に形成している点で特徴を有する。貫通部20の形状は、上述した第1の実施の形態と同様に、孔32の形状、切欠き44の形状、スリット48の形状を採用することができる。

さらに、上部電極14における貫通部20の周部26の下面26aは、貫通部20の中心に向かうに従って徐々に上方に傾斜している。この形状は、例えばリフトオフを使用することで簡単に形成することができる。

この第2の実施の形態に係る電子放出素子10Bにおいても、上述した第1の実施の形態に係る電子放出素子10Aと同様に、高い電界集中を容易に発生させることができ、しかも、電子放出箇所を多くすることができ、電子放出について高出力、高効率を図ることができ、低電圧駆動（低消費電力）も可能となる。

また、図34に示す第1の変形例に係る電子放出素子10Baのように、エミッタ部12の上面のうち、貫通部20と対応する部分にフローティング電極50を存在させてもよい。

また、図35に示す第2の変形例に係る電子放出素子10Bbのように、上部電極14として、断面形状がほぼT字状とされた電極を形成するようにしてもよい。

また、図36に示す第3の変形例に係る電子放出素子10Bcのように、上部電極14の形状、特に、上部電極14の貫通部20の周部26が浮き上がった形状としてもよい。これは、上部電極14となる膜材料の中に、焼成工程においてガス化する材料を含ませておけばよい。これにより、焼成工程において、前記材料がガス化し、その跡として、上部電極14に多数の貫通部20が形成されると共に、貫通部20の周部26が浮き上がった形状になる。

次に、第3の実施の形態に係る電子放出素子10Cについて図37を参照しながら説明する。

この第3の実施の形態に係る電子放出素子10Cは、図37に示すように、上述した第1の実施の形態に係る電子放出素子10Aとほぼ同様の構成を有するが、例えばセラミックスで構成された1つの基板60を有する点と、下部電極16が基板60上に形成され、エミッタ部12が基板60上であって、かつ、下部電極16を覆うように形成され、さらに上部電極14がエミッタ部12上に形成されている点で異なる。

基板60の内部には、各エミッタ部12が形成される部分に対応した位置に、後述する薄肉部を形成するための空所62が設けられている。空所62は、基板60の他端面に設けられた径の小さい貫通孔64を通じて外部と連通されている。

10

前記基板60のうち、空所62の形成されている部分が薄肉とされ（以下、薄肉部66と記す）、それ以外の部分が厚肉とされて前記薄肉部66を支持する固定部68として機能するようになっている。

つまり、基板60は、最下層である基板層60Aと中間層であるスペーサ層60Bと最上層である薄板層60Cの積層体であって、スペーサ層60Bのうち、エミッタ部12に対応する箇所に空所62が形成された一体構造体として把握することができる。基板層60Aは、補強用基板として機能するほか、配線用の基板としても機能するようになっている。なお、前記基板60は、基板層60A、スペーサ層60B及び薄板層60Cの一体焼成で形成してもよいし、これら層60A～60Cを接着して形成するようにしてもよい。

20  
25

薄肉部66は、高耐熱性材料であることが好ましい。その理由は、エミッタ部12を有機接着剤等の耐熱性に劣る材料を用いずに、固定部68によって直接薄肉部66を支持させる構造とする場合、少なくともエミッタ部12の形成時に、薄肉部66が変質しないようにするために、薄肉部66は、高耐熱性材料であることが好ましい。

また、薄肉部66は、基板60上に形成される上部電極14に通じる配線と下部電極16に通じる配線との電気的な分離を行うために、電気絶縁材料であることが好ましい。

従って、薄肉部66の材料としては、高耐熱性の金属あるいはその金属表面を

ガラス等のセラミック材料で被覆したホーロウ等の材料であってもよいが、セラミックスが最適である。

薄肉部 6 6 を構成するセラミックスとしては、例えば、安定化された酸化ジルコニウム、酸化アルミニウム、酸化マグネシウム、酸化チタン、スピネル、ムライト、窒化アルミニウム、窒化珪素、ガラス、これらの混合物等を使用することができます。その中でも、酸化アルミニウム及び安定化された酸化ジルコニウムが、強度及び剛性の観点から好ましい。安定化された酸化ジルコニウムは、機械的強度が比較的高いこと、韌性が比較的高いこと、上部電極 1 4 及び下部電極 1 6 との化学反応が比較的小さいこと等の観点から特に好適である。なお、安定化された酸化ジルコニウムとは、安定化酸化ジルコニウム及び部分安定化酸化ジルコニウムを包含する。安定化された酸化ジルコニウムでは、立方晶等の結晶構造をとるため、相転移が生じない。

一方、酸化ジルコニウムは、1 0 0 0 ℃ 前後で単斜晶と正方晶との間を相転移し、このような相転移の際にクラックが発生するおそれがある。安定化された酸化ジルコニウムは、酸化カルシウム、酸化マグネシウム、酸化イットリウム、酸化スカンジウム、酸化イッテルビウム、酸化セリウム、希土類金属の酸化物等の安定剤を、1 ~ 3 0 モル% 含有する。なお、基板 6 0 の機械的強度を向上させるために、安定化剤が酸化イットリウムを含有すると好適である。この場合、酸化イットリウムを、好適には 1. 5 ~ 6 モル%、さらに好適には 2 ~ 4 モル% 含有し、さらに 0. 1 ~ 5 モル% の酸化アルミニウムを含有することが好ましい。

また、結晶相を、立方晶 + 単斜晶の混合相、正方晶 + 単斜晶の混合相、立方晶 + 正方晶 + 単斜晶の混合相等とすることができます。その中でも、主たる結晶相を、正方晶又は正方晶 + 立方晶の混合相としたものが、強度、韌性及び耐久性の観点から最適である。

基板 6 0 をセラミックスから構成した場合、比較的多数の結晶粒が基板 6 0 を構成するが、基板 6 0 の機械的強度を向上させるためには、結晶粒の平均粒径を、好適には 0. 0 5 ~ 2  $\mu\text{m}$  とし、さらに好適には 0. 1 ~ 1  $\mu\text{m}$  とするとい。

一方、固定部 6 8 は、セラミックスからなることが好ましいが、薄肉部 6 6 の

材料と同一のセラミックスでもよいし、異なっていてもよい。固定部 6 8 を構成するセラミックスとしては、薄肉部 6 6 の材料と同様に、例えば、安定化された酸化ジルコニウム、酸化アルミニウム、酸化マグネシウム、酸化チタン、スピネル、ムライト、窒化アルミニウム、窒化珪素、ガラス、これらの混合物等を用いることができる。

特に、この電子放出素子 1 0 C で用いられる基板 6 0 は、酸化ジルコニウムを主成分とする材料、酸化アルミニウムを主成分とする材料、又はこれらの混合物を主成分とする材料等が好適に採用される。その中でも、酸化ジルコニウムを主成分としたものがさらに好ましい。

なお、焼結助剤として粘土等を加えることもあるが、酸化珪素、酸化ホウ素等のガラス化し易いものが過剰に含まれないように、助剤成分を調節する必要がある。なぜなら、これらのガラス化し易い材料は、基板 6 0 とエミッタ部 1 2 とを接合させる上で有利ではあるものの、基板 6 0 とエミッタ部 1 2 との反応を促進し、所定のエミッタ部 1 2 の組成を維持することが困難となり、その結果、素子特性を低下させる原因となるからである。

すなわち、基板 6 0 中の酸化珪素等は重量比で 3 % 以下、さらに好ましくは 1 % 以下となるように制限することが好ましい。ここで、主成分とは、重量比で 5 0 % 以上の割合で存在する成分をいう。

また、前記薄肉部 6 6 の厚みとエミッタ部 1 2 の厚みは、同次元の厚みであることが好ましい。なぜなら、薄肉部 6 6 の厚みが極端にエミッタ部 1 2 の厚みより厚くなると（1 枠以上異なると）、エミッタ部 1 2 の焼成収縮に対して、薄肉部 6 6 がその収縮を妨げるように働くため、エミッタ部 1 2 と基板 6 0 との界面での応力が大きくなり、はがれ易くなる。反対に、厚みの次元が同程度であれば、エミッタ部 1 2 の焼成収縮に基板 6 0 （薄肉部 6 6 ）が追従し易くなるため、一体化には好適である。具体的には、薄肉部 6 6 の厚みは、1 ~ 1 0 0  $\mu\text{m}$  であることが好ましく、3 ~ 5 0  $\mu\text{m}$  がさらに好ましく、5 ~ 2 0  $\mu\text{m}$  がより一層好ましい。一方、エミッタ部 1 2 は、その厚みとして 5 ~ 1 0 0  $\mu\text{m}$  が好ましく、5 ~ 5 0  $\mu\text{m}$  がさらに好ましく、5 ~ 3 0  $\mu\text{m}$  がより一層好ましい。

そして、基板 6 0 上にエミッタ部 1 2 を形成する方法としては、スクリーン印

刷法、ディッピング法、塗布法、電気泳動法、エアロゾルデポジション法等の各種厚膜形成法や、イオンビーム法、スパッタリング法、真空蒸着法、イオンプレーティング法、化学気相成長法（CVD）、めっき等の各種薄膜形成法を用いることができる。特に、圧電／電歪材料の粉末化したものを、エミッタ部12として形成し、これに低融点のガラスやゾル粒子を含浸する方法をとることが好ましい。この手法により、700℃あるいは600℃以下といった低温での膜形成が可能となる。

また、電子放出素子10Cの焼成処理としては、基板60上に下部電極16となる材料、エミッタ部12となる材料及び上部電極14となる材料を順次積層してから一体構造として焼成するようにしてもよいし、下部電極16、エミッタ部12、上部電極14をそれぞれ形成するたびに熱処理（焼成処理）して基板60と一体構造にするようにしてもよい。なお、上部電極14及び下部電極16の形成方法によっては、一体化のための熱処理（焼成処理）を必要としない場合もある。

基板60と、エミッタ部12、上部電極14及び下部電極16とを一体化させるための焼成処理に係る温度としては、500～1400℃の範囲、好適には、1000～1400℃の範囲とするよい。さらに、膜状のエミッタ部12を熱処理する場合、高温時にエミッタ部12の組成が不安定にならないように、エミッタ部12の蒸発源と共に雰囲気制御を行いながら焼成処理を行うことが好ましい。

また、エミッタ部12を適切な部材によって被覆し、エミッタ部12の表面が焼成雰囲気に直接露出しないようにして焼成する方法を採用してもよい。この場合、被覆部材としては、基板60と同様の材料を用いることが好ましい。

この第3の実施の形態に係る電子放出素子10Cにおいては、焼成時においてエミッタ部12が収縮することになるが、この収縮時に発生する応力が空所62の変形等を通じて開放されることから、エミッタ部12を十分に緻密化させることができる。エミッタ部12の緻密化が向上することにより、耐電圧が向上すると共に、エミッタ部12での分極反転並びに分極変化が効率よく行われることになり、電子放出素子10Cとしての特性が向上することになる。

上述した第3の実施の形態では、基板60として3層構造の基板を用いたが、その他、図38の変形例に係る電子放出素子10Caに示すように、最下層の基板層60Aを省略した2層構造の基板60aを用いてもよい。

ここで、図39～図52を参照しながら、試作した実施例に係る電子放出素子70について詳述する。図39は、実施例に係る電子放出素子70の電子放出部の断面構造の模式図である。この電子放出素子70は、基板72上に形成された下部電極16、この上に形成されたエミッタ部12となる強誘電体層、その上に形成された上部電極14とを有する。上部電極14は、エミッタ部12が露出される複数の貫通部20（電子放出孔）を有し、上部電極14のうち、貫通部20の周部26におけるエミッタ部12と対向する面26aが、エミッタ部12から離間している「底構造」を有している。

図40～図42Cに、この実施例に係る電子放出素子70の電子放出メカニズムを記載する。図40に示すように、電子放出は、データセット（電子蓄積）にあたる第1ステップと、電子放出にあたる第2ステップとからなる。図40においては、(1-1)及び(1-2)が第1ステップに該当し（図41B及び図41C参照）、(3-1)及び(3-2)が第2ステップに該当する（図42B及び図42C参照）。また、(0)及び(2)はセットされたデータの保持（メモリ機能の効果）に該当する（図41A及び図42A参照）。

第1ステップでは、上部電極14とエミッタ部12が離間したギャップ28の部分において電界集中が起こり（図41B参照）、これにより、上部電極14からエミッタ部12の表面に向けて電子放出（フィールドエミッション）が起こる（図41C参照）。この結果、エミッタ部12が帶電し、データセットが行われる（図42A参照）。このフィールドエミッションを効率的に行うには、鋭い先端部を有する板状の上部電極14がエミッタ部12上に形成されることが好ましい。

第2ステップにおいては、強誘電体層であるエミッタ部12の分極反転により、エミッタ部12の表面に分極の双極子の負極側が配され（図42B参照）、そのクーロン反発力によって、表面に帶電した電子が追い出される（図42C参照）。このように放出された電子は、エミッタ部12の表面に垂直な方向に放出されるため、電子放出の広がり角度は小さい。すなわち、電子放出は、良好な直進性

を有することとなる。

図43～図45は、図40の電子放出メカニズムをもとにした実施例に係るパッソブマトリクス型ディスプレイ140の駆動方法を示したものである。図43及び図44は、ディスプレイ140を、行走査数を16行とした簡易モデルで説明したものである。図40の第1ステップに該当するのが、図44中の「データセット」段階である。この段階ではロウドライバ142により1行ずつ行選択を行い、選択行の素子に対して、カラムドライバ144からデータに応じたアナログ電圧を印加することでデータをセットする。図43では、7行目を選択した時の様子を示したもので、既にデータがセットされた1～6行目は素子のメモリ機能によりデータの保持が行われている。この段階では、ディスプレイ140のパネルからの発光はなく、黒表示の状態である。

図40の第2ステップに該当するのが、図44及び図45に示す「電子放出」の段階である。この段階で、全素子同時に同一電圧を印加することにより、全画素同時に、保持されたデータに応じた画像が発光表示される。

図46は、実施例に係る電子放出素子70の寿命特性（発光の耐久性）を示したものである。3000時間を経過した発光輝度は初期輝度の90%を維持していることが確認されており、経過時間の対数値に対する輝度の変化がほぼ線形で近似できることから、20000時間経過後の輝度においても十分に初期輝度の80%以上を確保できると推定される。このことから、本実施例に係る電子放出素子によるディスプレイ140は十分にテレビ用途に適用できると考えられる。

図47は、試作した実施例に係るディスプレイ140のうち、多数の電子放出素子が配列された表示部の部分の概観写真、図48は、電子放出素子を示す拡大写真である。図48において、白の枠で示す部分が1つの電子放出素子の大きさを示す。また、図49は、上部電極14及びエミッタ部12の電子顕微鏡写真である。

本ディスプレイ140は、行方向に128素子(0.6mmピッチ)、列方向に128×3色=384素子(0.2mmピッチ)を配したものである。また、3つの電子放出素子で1画素を構成している。図49から、「底構造」が厚膜の白金レジネート電極によって形成されていることが分かる。

図50は、ディスプレイ140に図43～図45の駆動方法を適用して、ディスプレイ140のパネルに動画像を映し出し、ある瞬間における1つの静止画像を撮影した写真である。この写真からフルカラー表示が可能であることが確認できる。

5 図51は、データセット時の駆動電圧に対する発光輝度の関係を示したものである。強誘電体層であるエミッタ部12の膜厚を薄くすることにより、駆動電圧の低電圧化を図ることができることが確認できる。

10 図52は、図47に示すディスプレイ140の1/10の領域を用いて、一般のC R Tで用いられるP-22緑色蛍光体を励起発光させた様子を撮影した写真である。データセット時の駆動電圧は70V、電子加速電圧は7kVである。駆動周波数は60Hzである。この条件で、 $1100\text{cd}/\text{m}^2$ という高輝度発光を確認した。

なお、本発明に係る電子放出素子は、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を探り得ることはもちろんである。

請求の範囲：

1. 誘電体で構成されたエミッタ部と、電子放出のための駆動電圧が印加される第1の電極及び第2の電極とを有し、

5 前記第1の電極は、前記エミッタ部の第1の面に形成され、

前記第2の電極は、前記エミッタ部の第2の面に形成され、

少なくとも前記第1の電極は、前記エミッタ部が露出される複数の貫通部を有し、

第1段階に、前記第1の電極から前記エミッタ部に向けて電子放出が行われて

10 、前記エミッタ部が帶電され、

第2段階に、前記エミッタ部から電子放出が行われることを特徴とする電子放出素子。

2. 請求項1記載の電子放出素子において、

15 前記第1の電極は、前記エミッタ部が露出される複数の貫通部を有し、前記第1の電極のうち、前記貫通部の周部における前記エミッタ部と対向する面が、前記エミッタ部から離間していることを特徴とする電子放出素子。

3. 請求項1記載の電子放出素子において、

20 前記第1段階における前記エミッタ部の帶電量に応じた電子が、前記第2段階に前記エミッタ部から放出されることを特徴とする電子放出素子。

4. 請求項1記載の電子放出素子において、

前記第1段階における前記エミッタ部の帶電量が、前記第2段階での電子放出  
25 が行われるまで維持されることを特徴とする電子放出素子。

5. 請求項1記載の電子放出素子において、

前記第1段階に、前記第1の電極と前記第2の電極間にに対する一方向への電圧  
の印加によって、前記エミッタ部が一方向に分極された状態から分極が反転した

状態に変化する電圧を第1の抗電圧 $v_1$ とし、

前記第2段階に、前記第1の電極と前記第2の電極間に対する他方向への電圧の印加によって、前記エミッタ部の分極の方向が再び前記一方向に変化する電圧を第2の抗電圧 $v_2$ としたとき、

5  $v_1 < 0$  又は  $v_2 < 0$  であつて、

$$|v_1| < |v_2|$$

の特性を有することを特徴とする電子放出素子。

6. 請求項1記載の電子放出素子において、

10 前記エミッタ部の少なくとも前記第1の面は、誘電体の粒界による凹凸が形成され、

前記第1の電極は、前記誘電体の粒界における凹部に対応した部分に前記貫通部が形成されていることを特徴とする電子放出素子。

15 7. 請求項1記載の電子放出素子において、

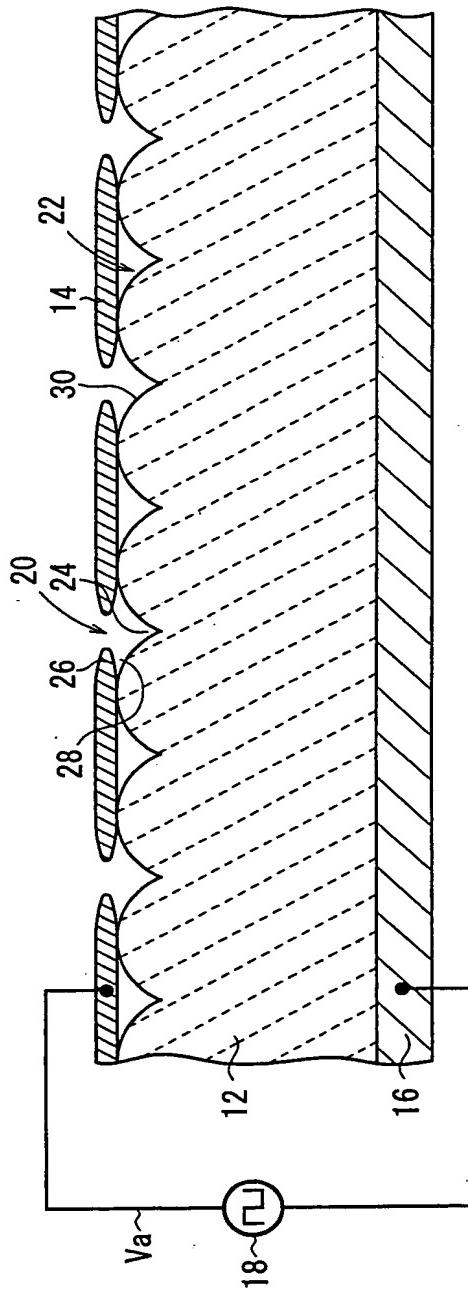
前記第1の電極は、鱗片状の形状を有する物質を含んだ導電性物質、又は、複数の鱗片状の形状を有する物質の集合体であることを特徴とする電子放出素子。

## 要約

電子放出素子 10A は、誘電体で構成されたエミッタ部 12 と、電子放出のための駆動電圧  $V_a$  が印加される上部電極 14 及び下部電極 16 とを有し、上部電極 14 は、エミッタ部 12 の上面に形成され、下部電極 16 は、エミッタ部 12 の下面に形成され、上部電極 14 は、エミッタ部 12 が露出される複数の貫通部 20 を有し、上部電極 14 のうち、貫通部 20 の周部 26 におけるエミッタ部 12 と対向する面が、エミッタ部 12 から離間している。

1/51

FIG. 1  
10A



2/51

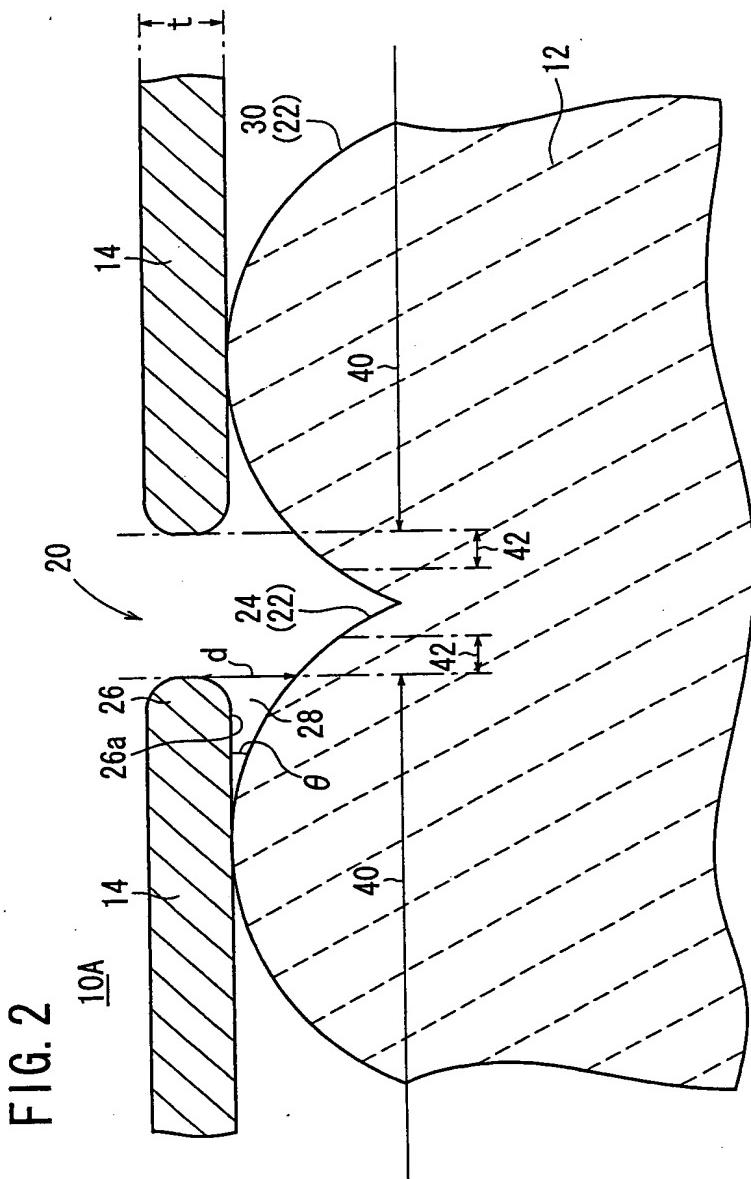
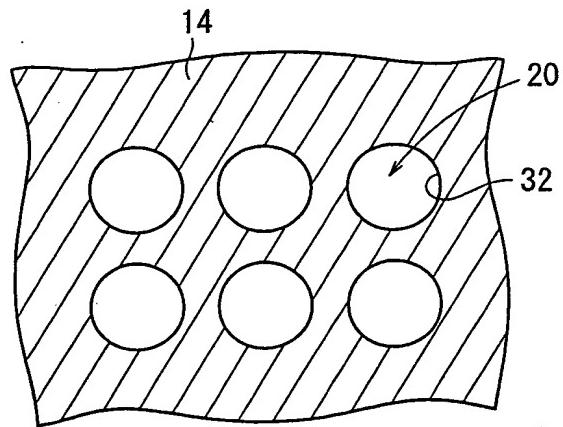


FIG. 2

3/51

FIG. 3 10A



4/51

FIG. 4B

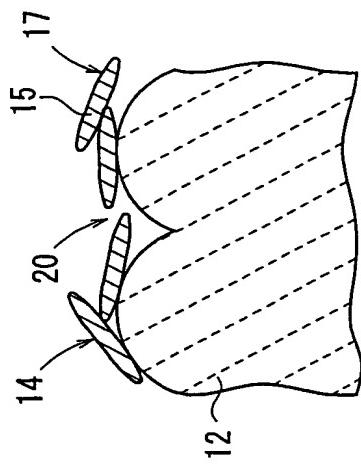
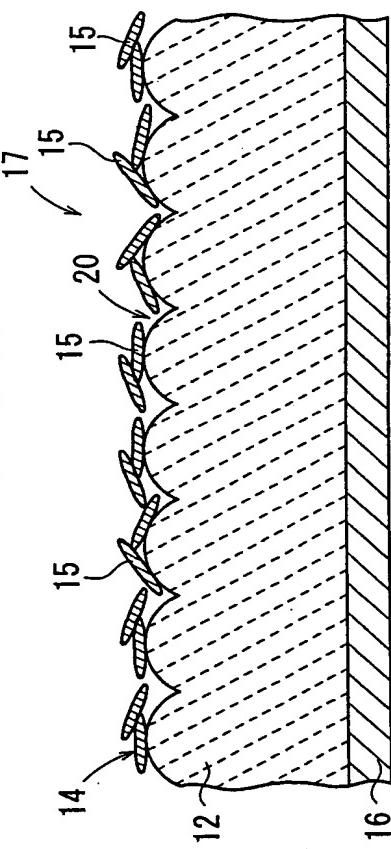


FIG. 4A



5/51

FIG. 5B

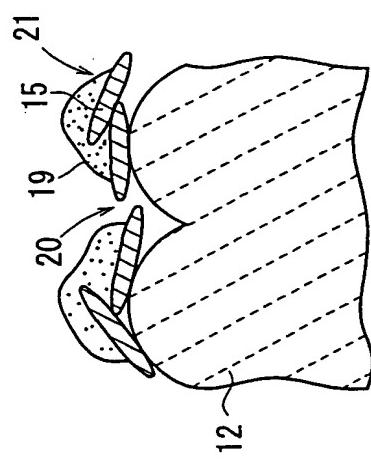
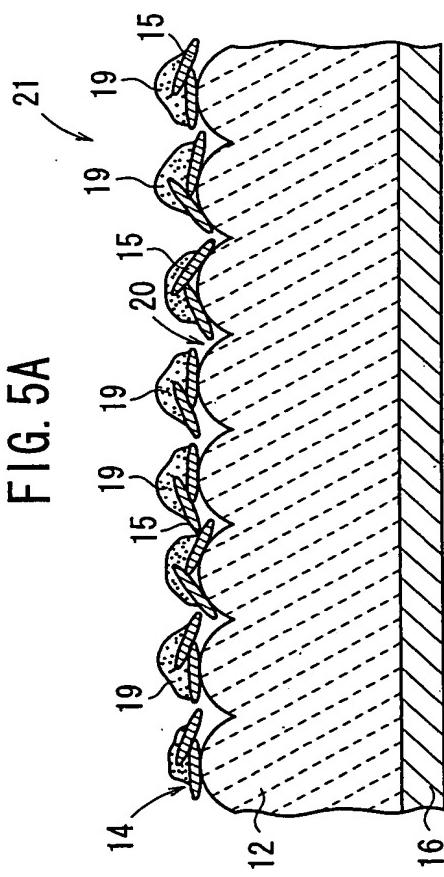
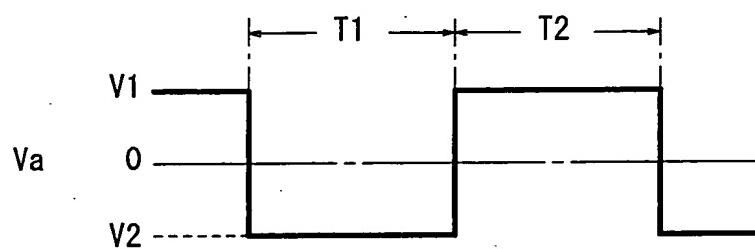


FIG. 5A

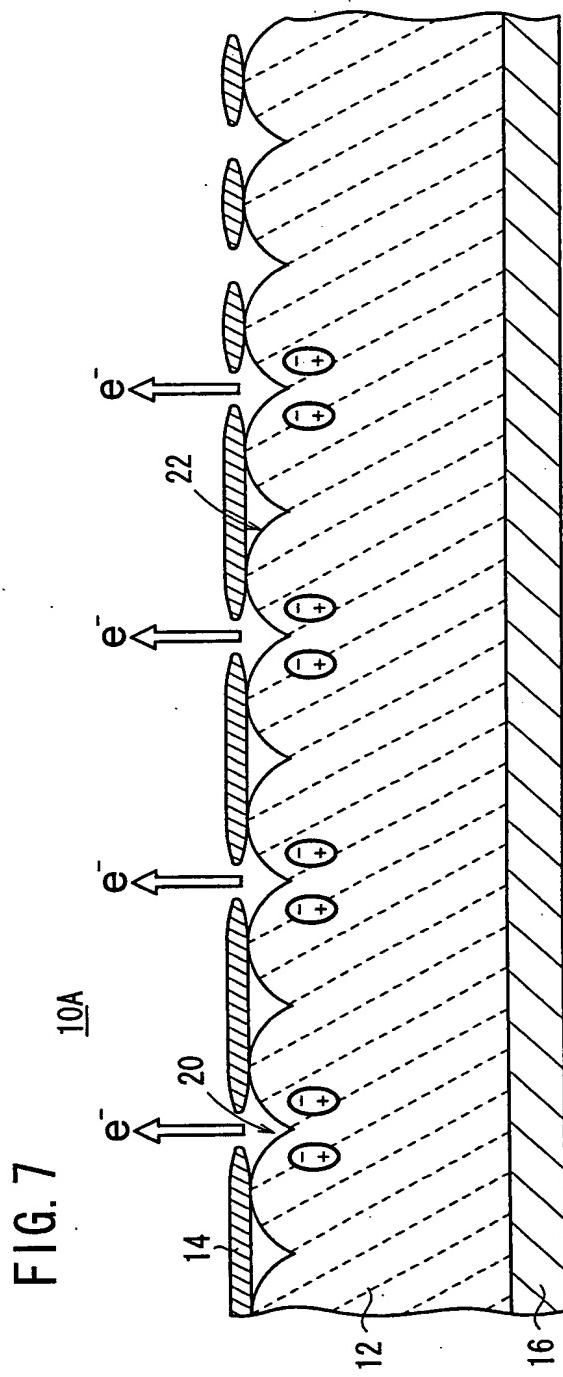


6/51

FIG. 6

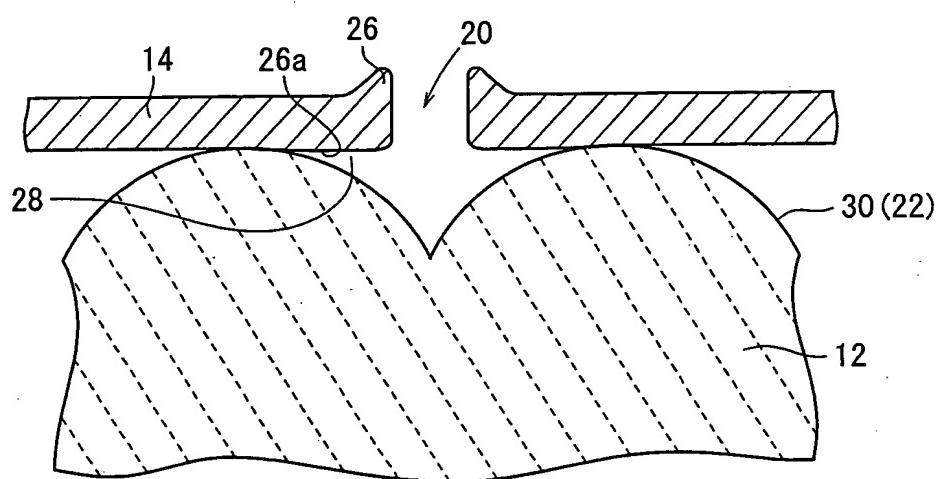


7/51



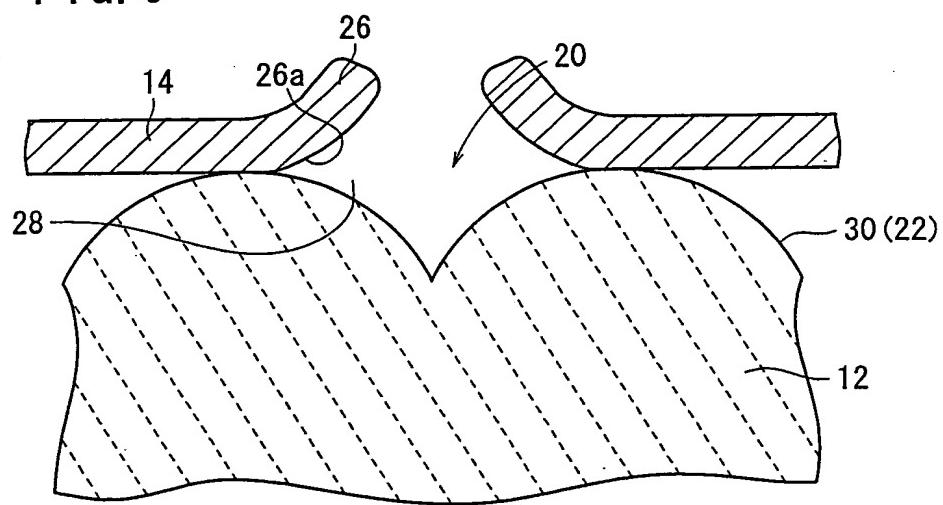
8/51

FIG. 8



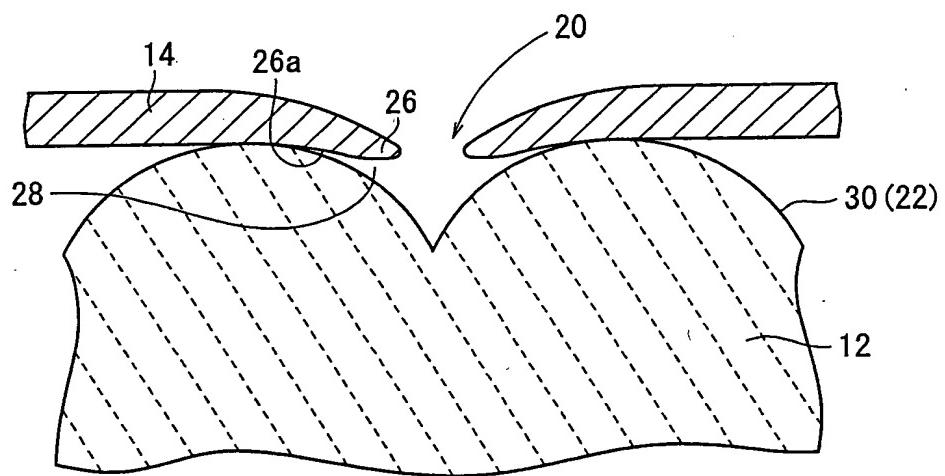
9/51

FIG. 9



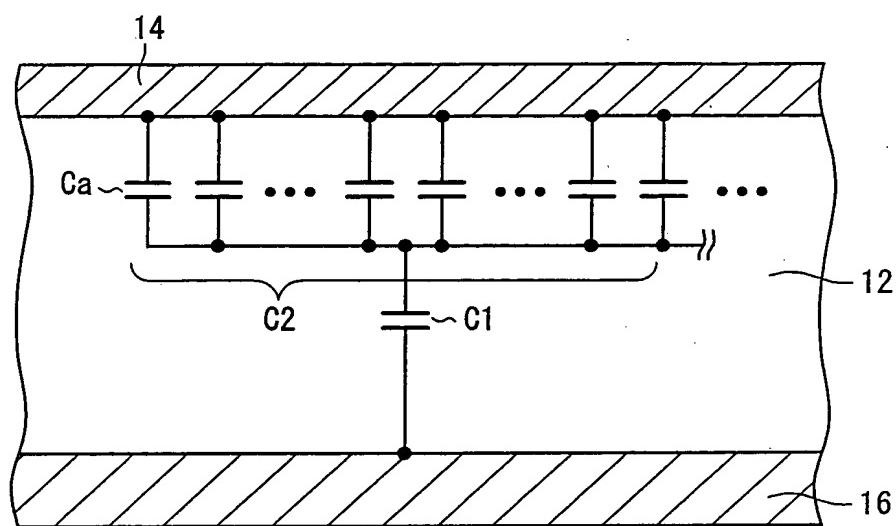
10/51

FIG. 10



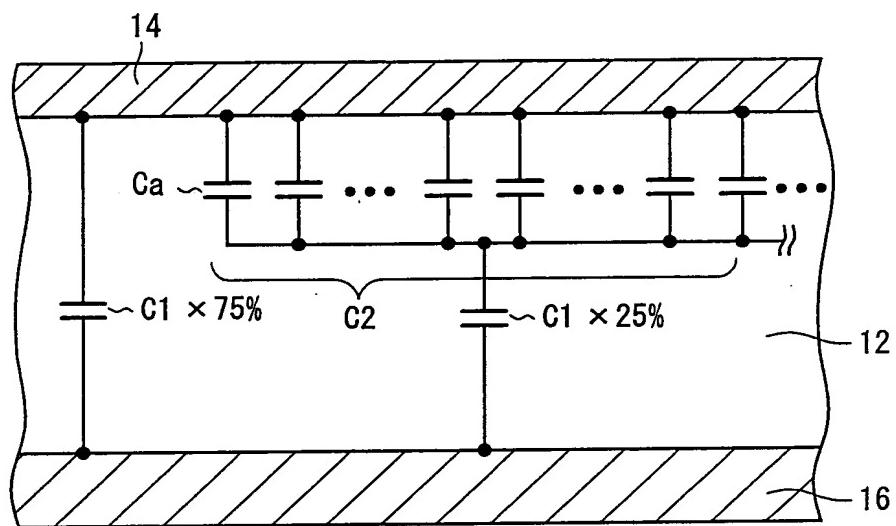
11/51

FIG. 11



12/51

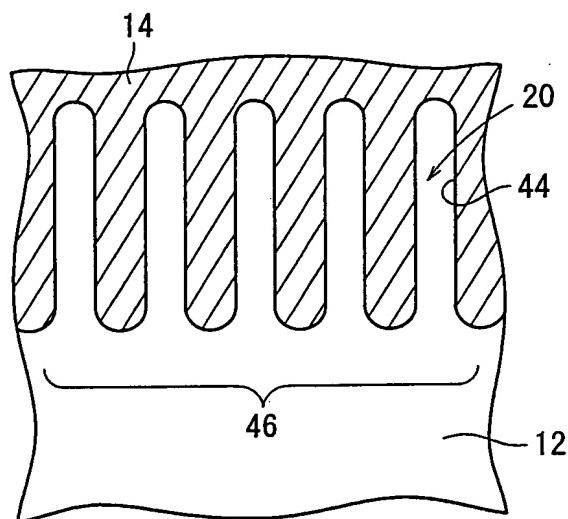
FIG. 12



13/51

FIG. 13

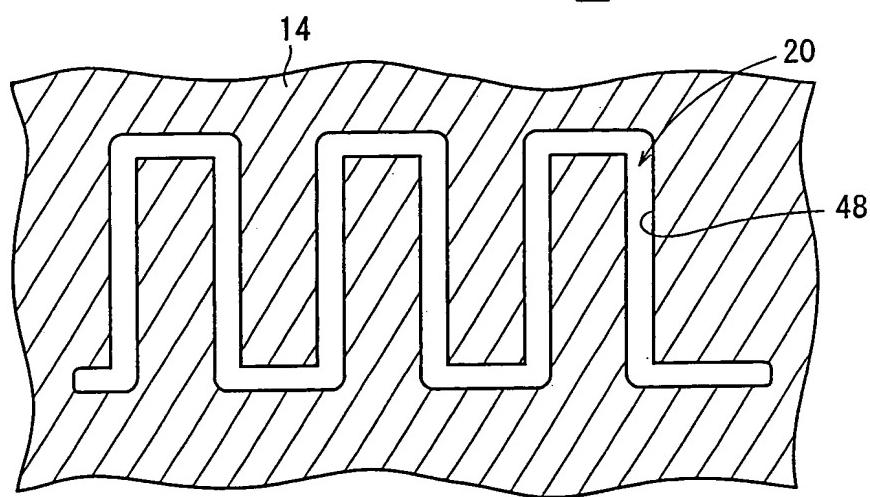
10Aa



14/51

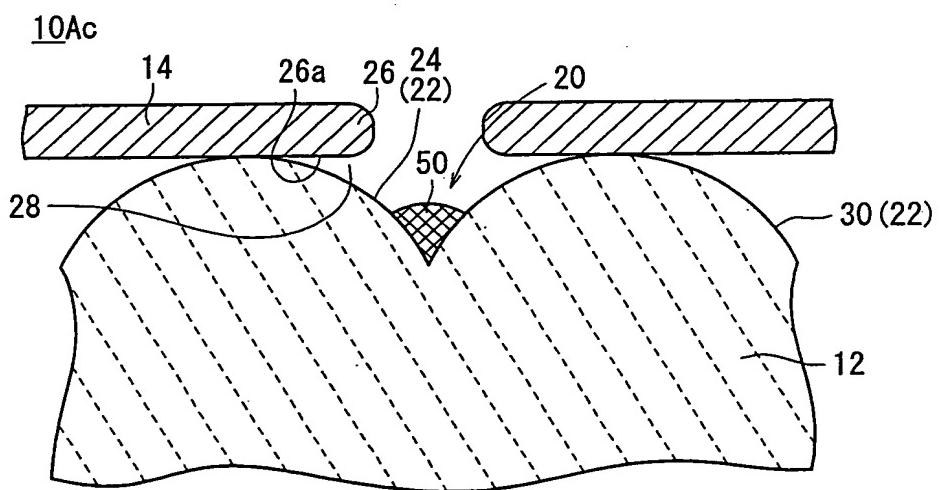
FIG. 14

10Ab



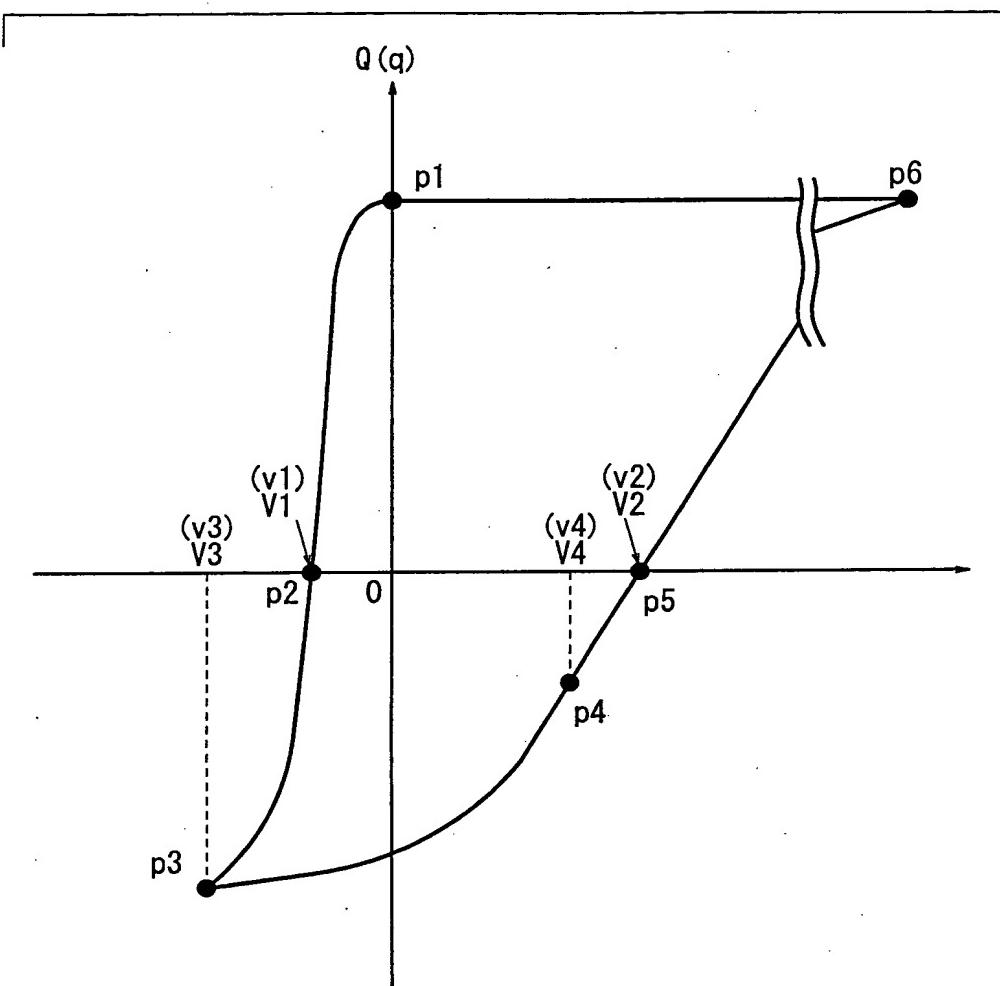
15/51

FIG. 15



16/51

FIG. 16



17/51

FIG. 17A

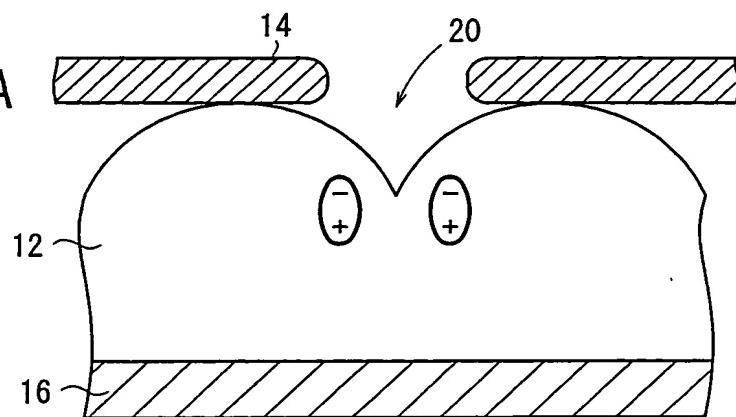


FIG. 17B

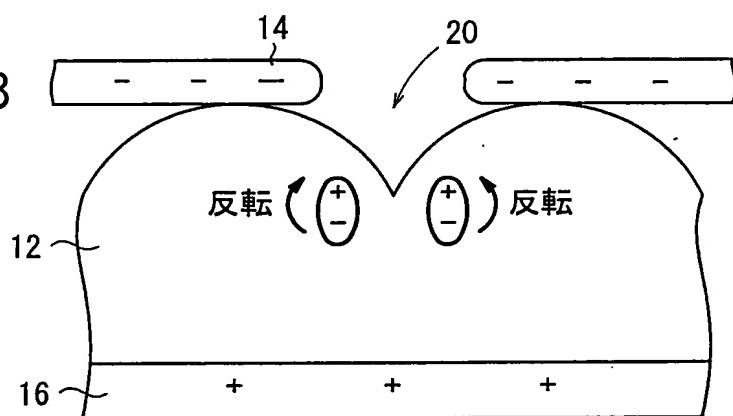
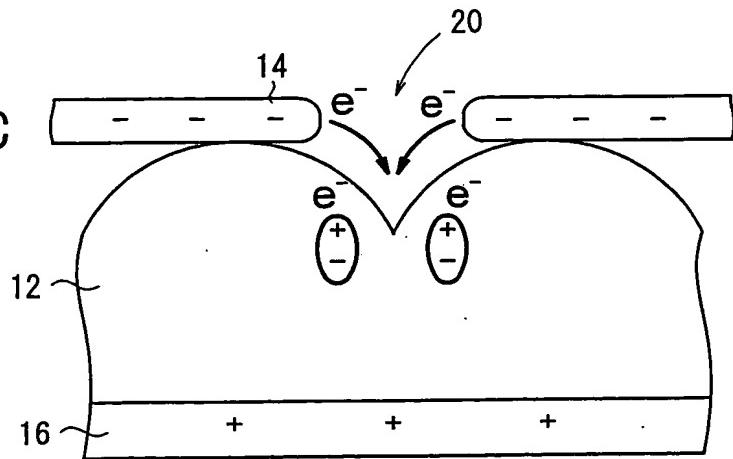


FIG. 17C



18/51

FIG. 18A

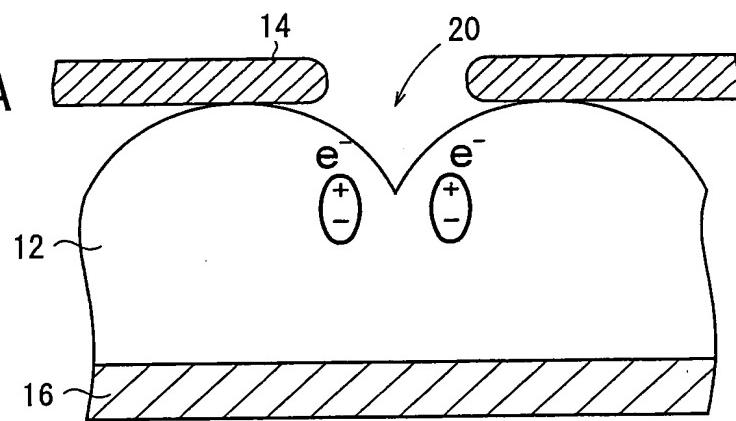


FIG. 18B

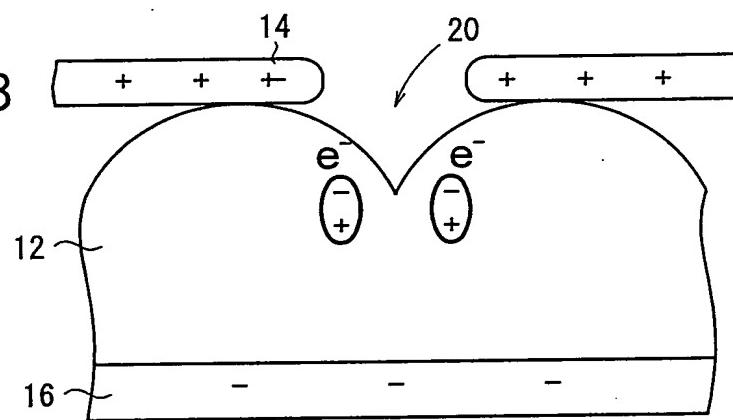
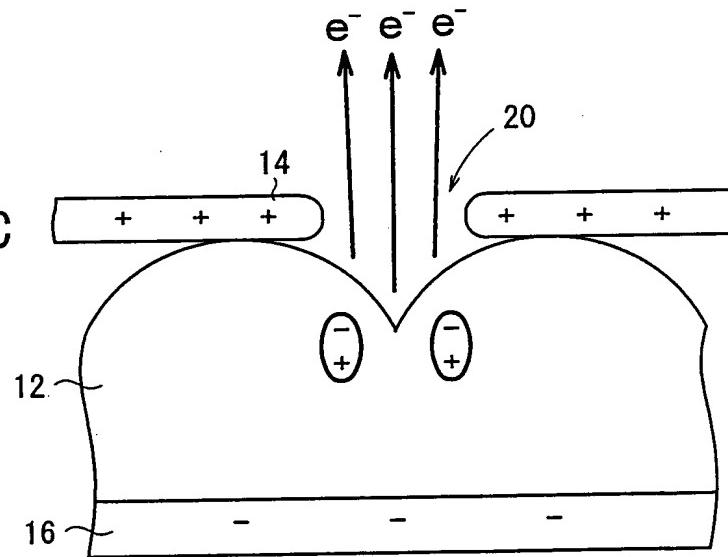
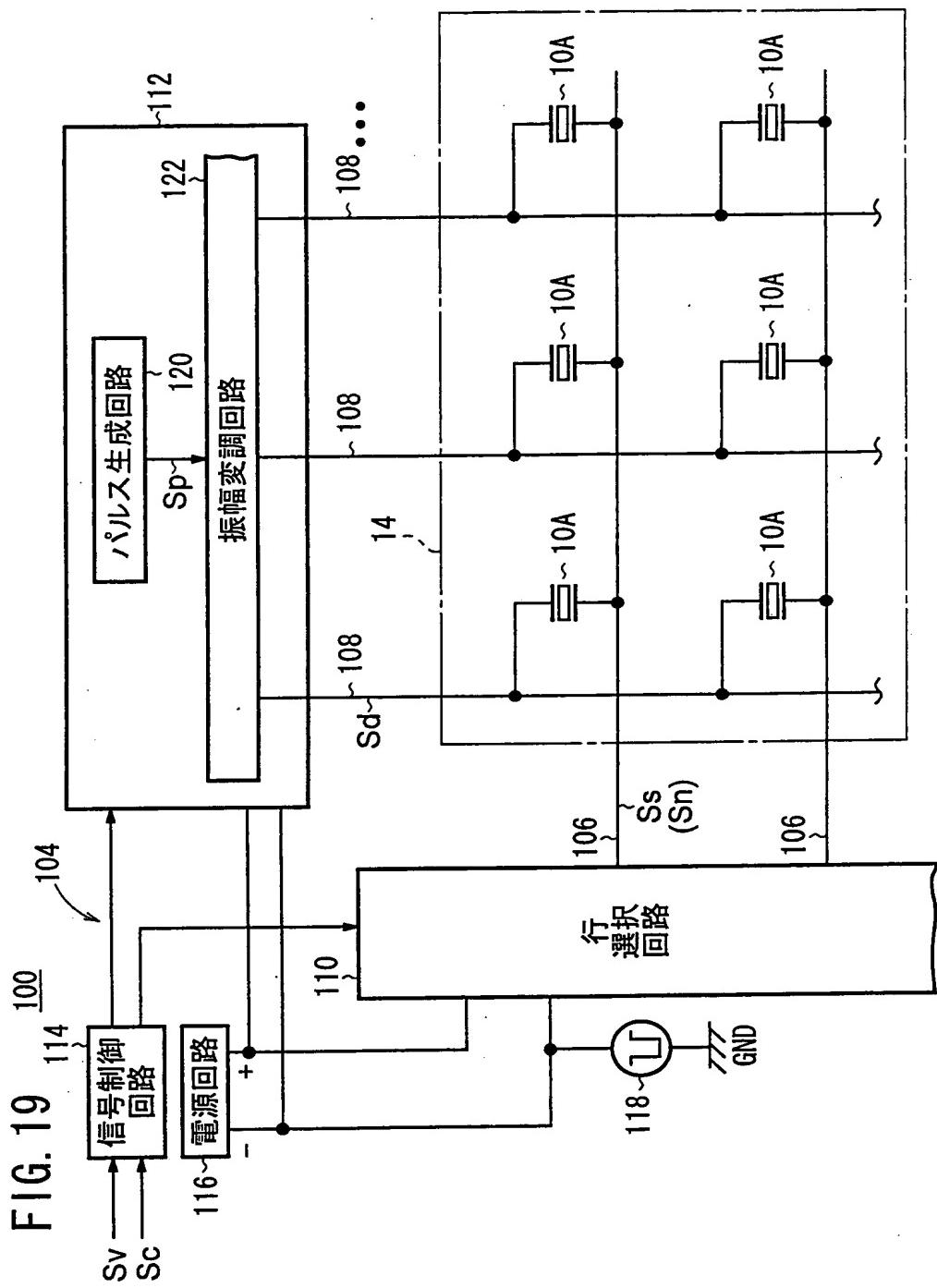


FIG. 18C





20/51

FIG. 20A

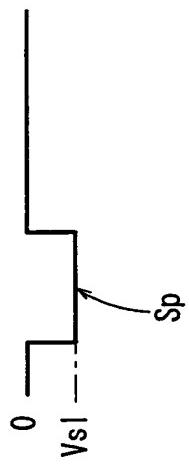


FIG. 20B

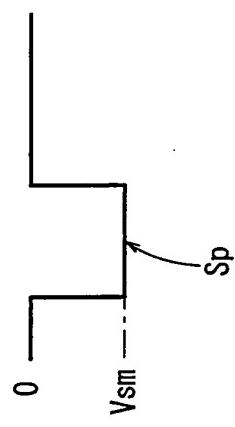
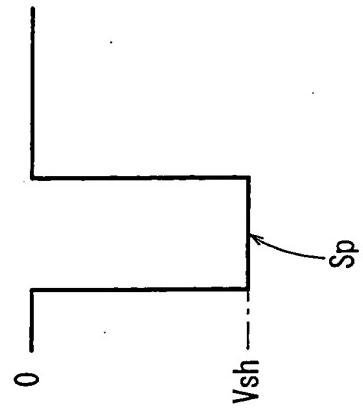


FIG. 20C



21/51

FIG. 21



22/51

FIG. 22C

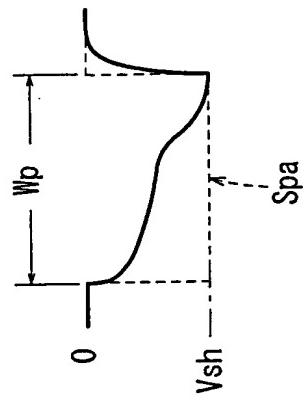


FIG. 22B

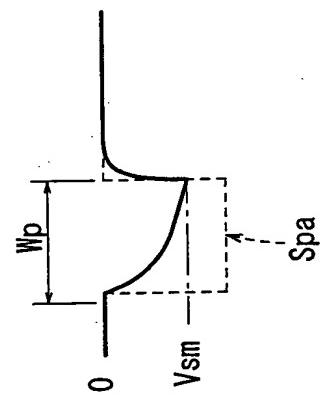
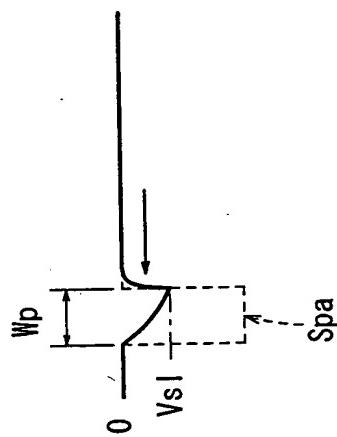


FIG. 22A



23/51

FIG. 23A

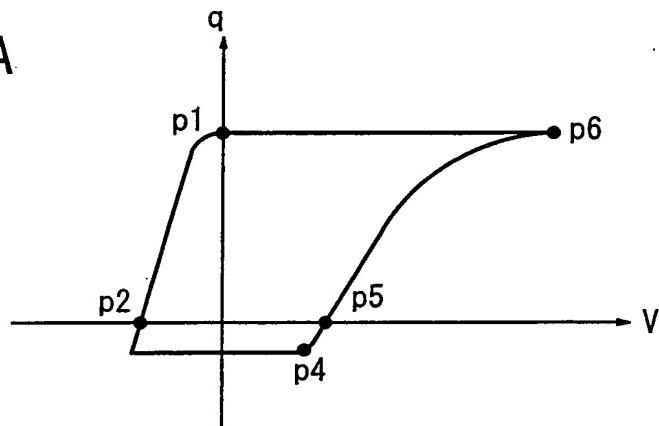


FIG. 23B

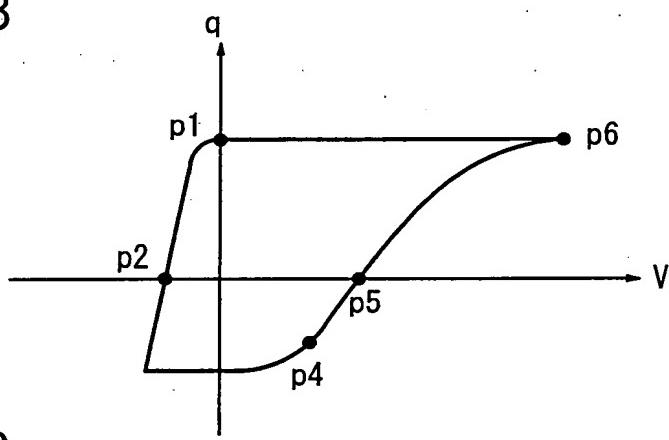
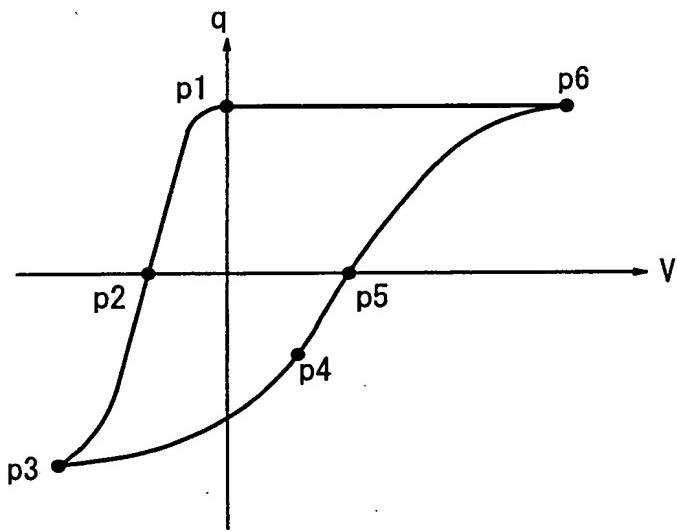
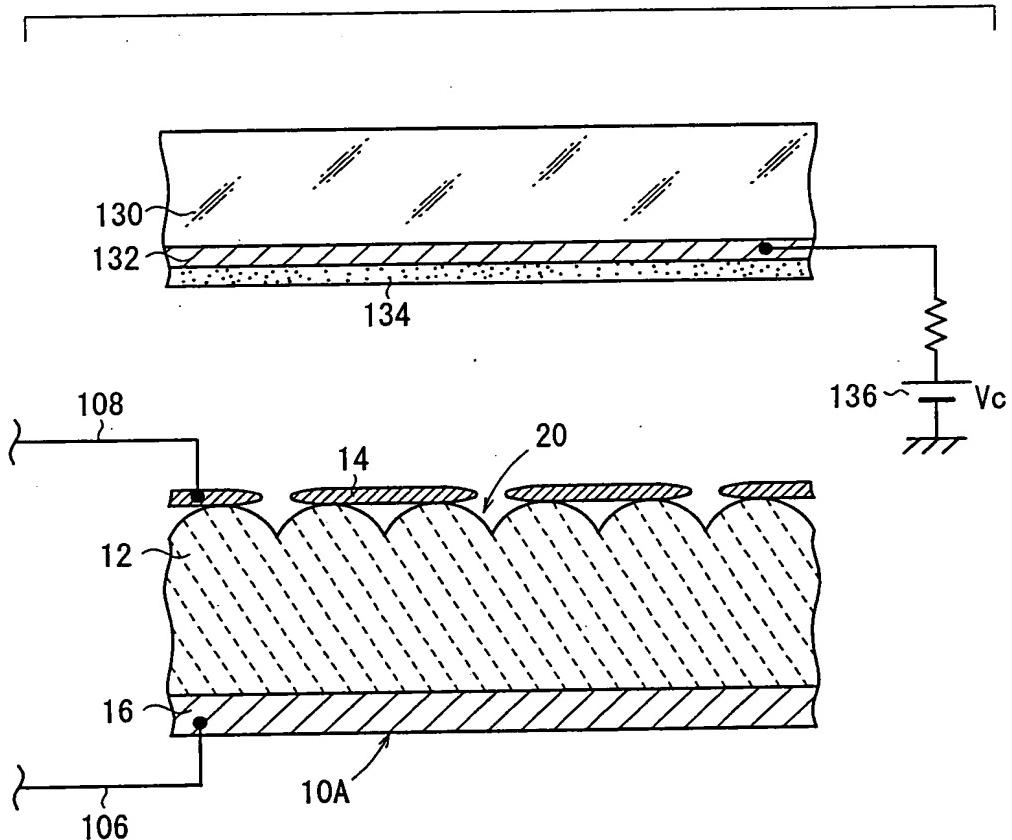


FIG. 23C



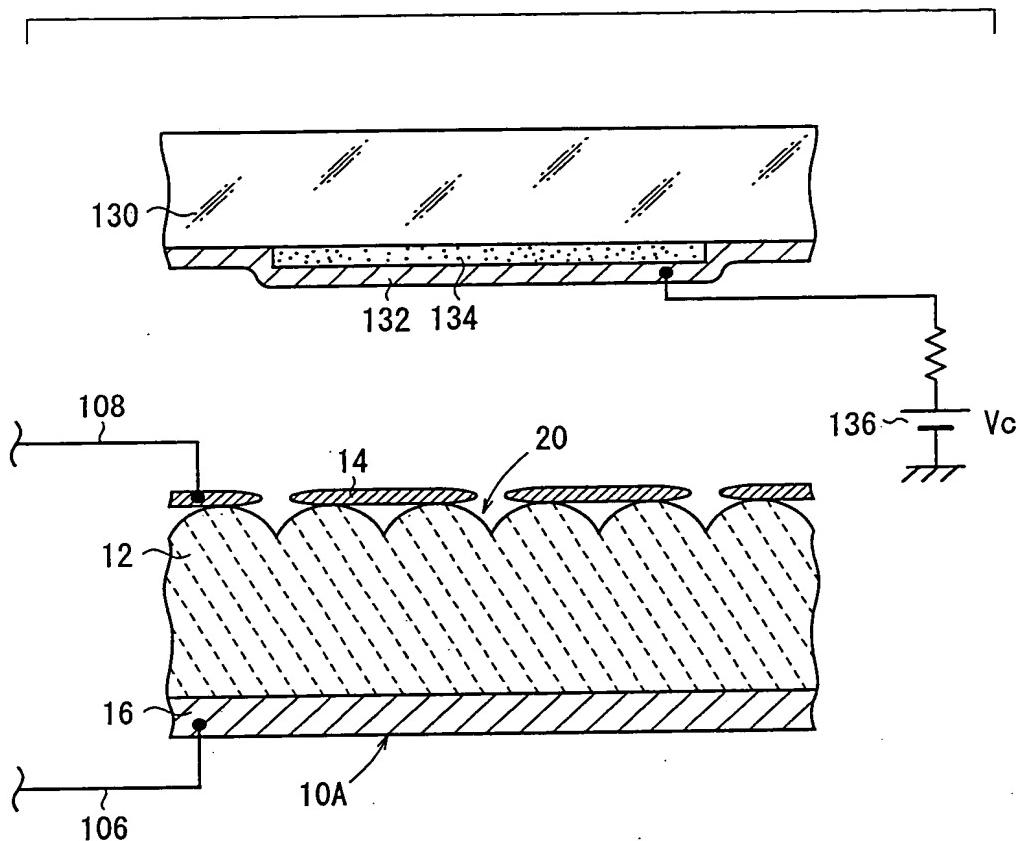
24/51

FIG. 24



25/51

FIG. 25



26/51

FIG. 26A

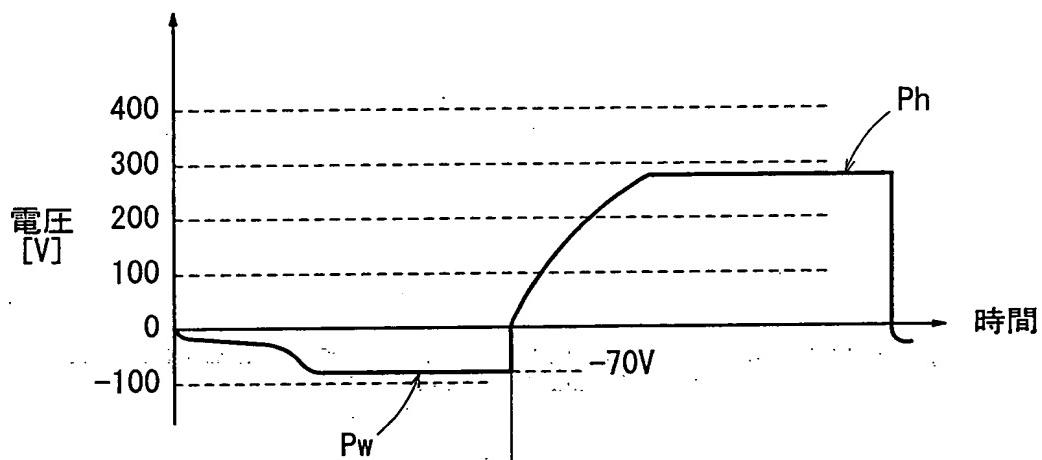
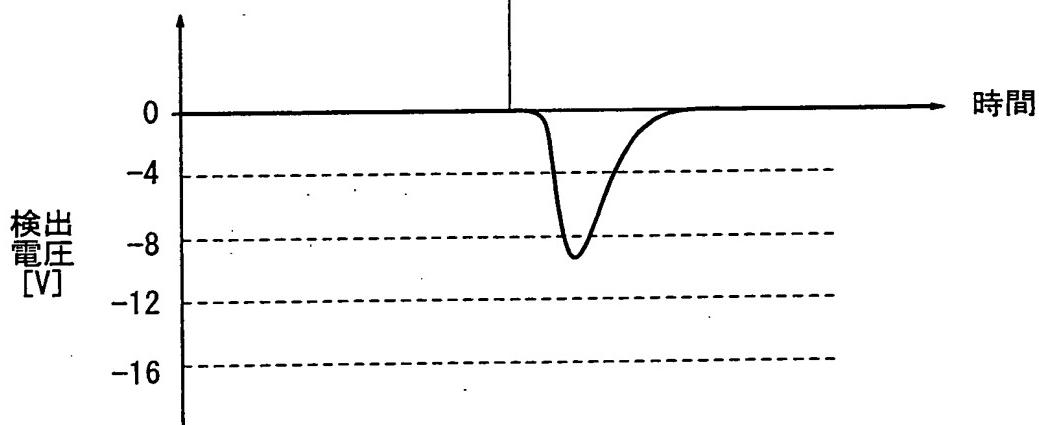
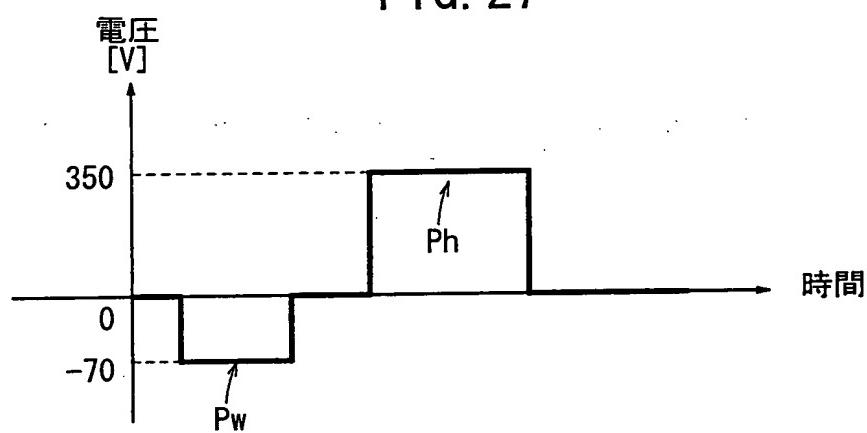


FIG. 26B



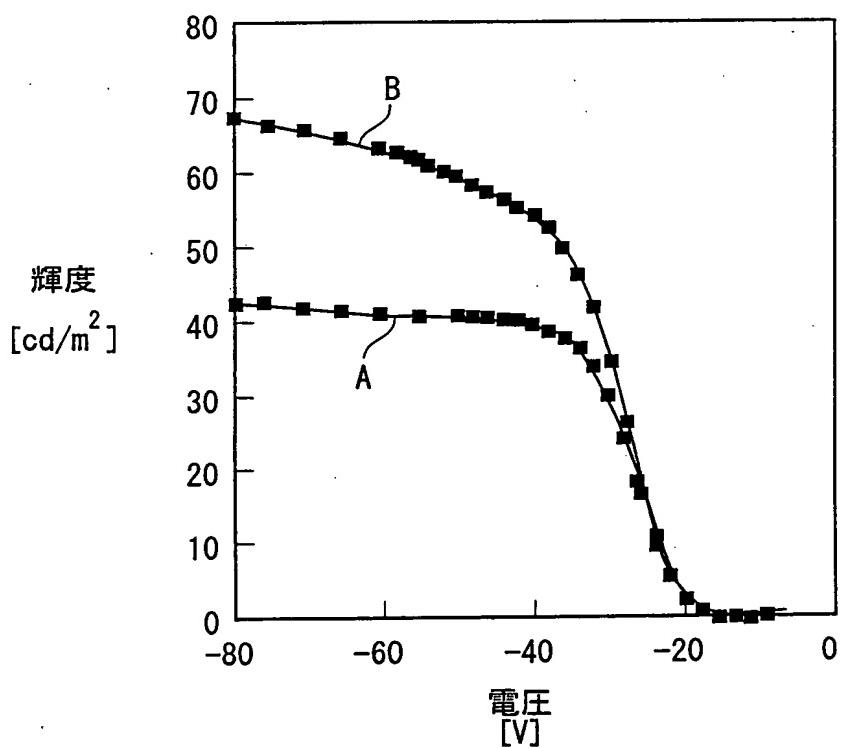
27/51

FIG. 27



28/51

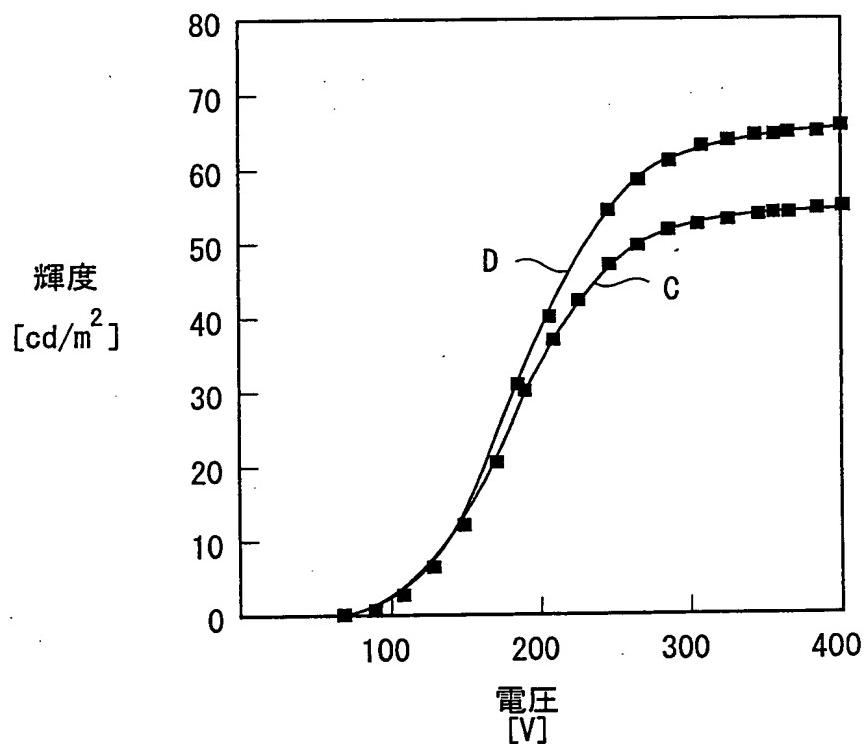
FIG. 28



BEST AVAILABLE COPY

29/51

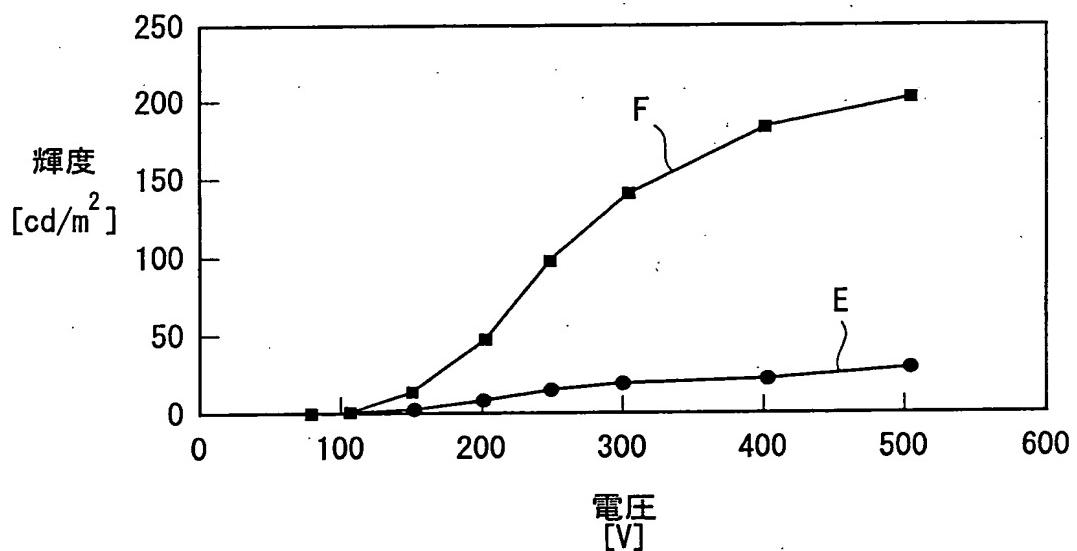
FIG. 29



BEST AVAILABLE COPY

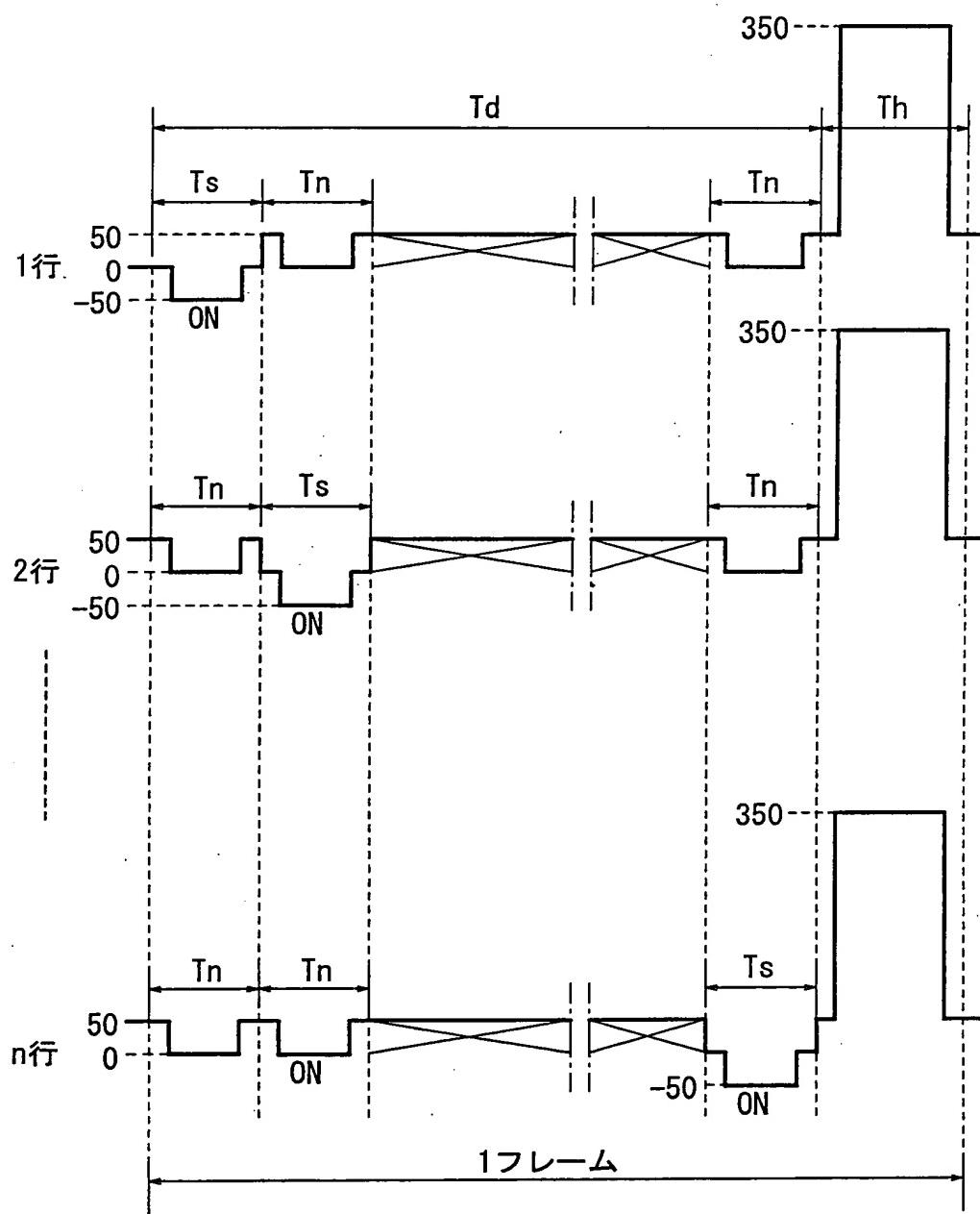
30/51

FIG. 30



31/51

FIG. 31



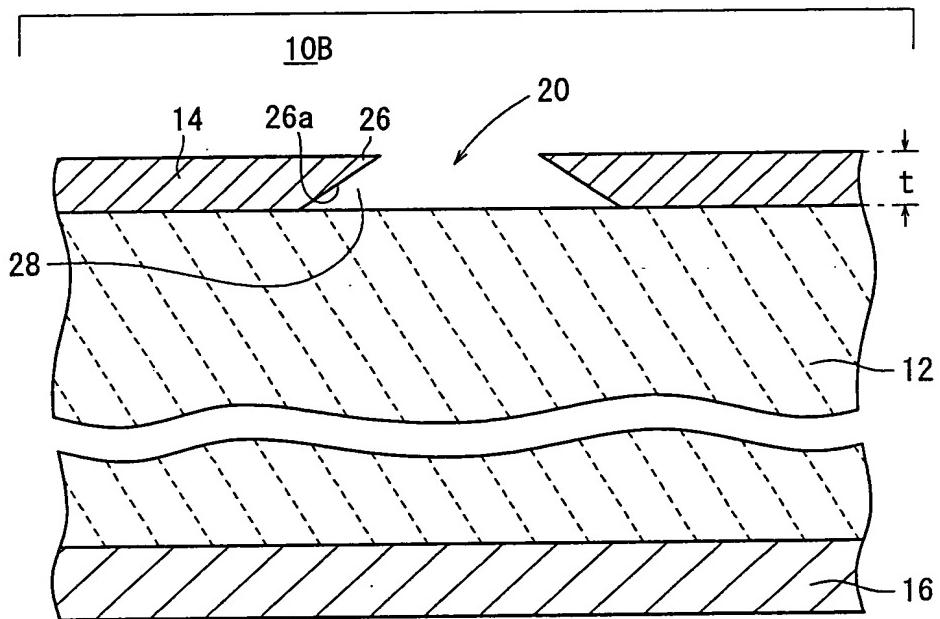
32/51

FIG. 32

		電荷蓄積期間		発光期間
		ON	OFF	
		0~30[V]		0[V]
選択	50[V]	-50~-20[V]	0[V]	
非選択	0[V]	0~30[V]	50[V]	
全選択	-350[V]			350[V]

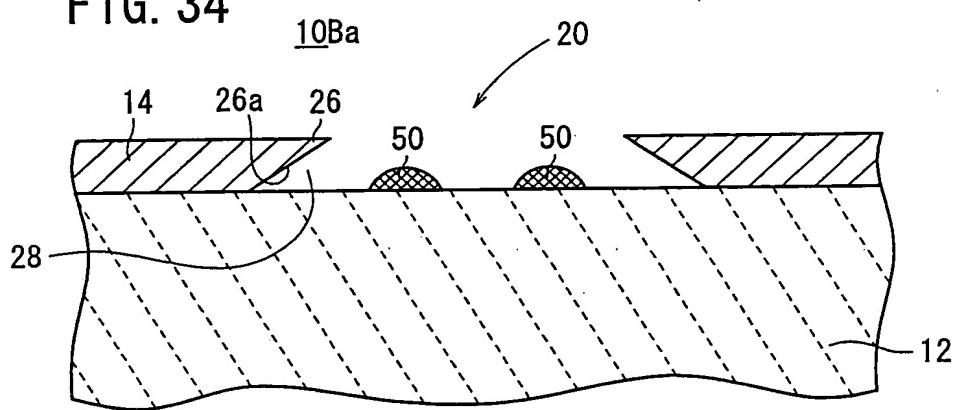
33/51

FIG. 33



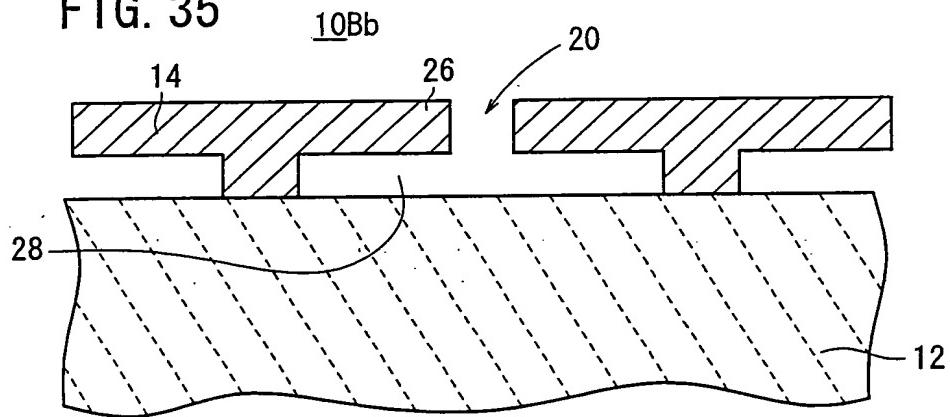
34/51

FIG. 34



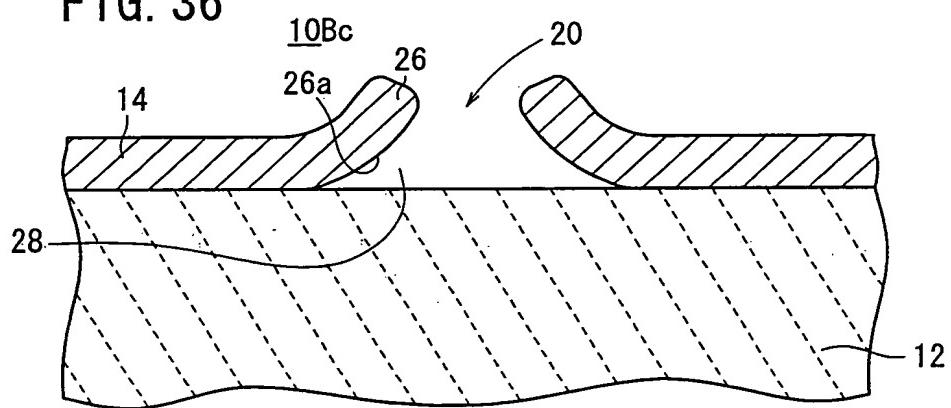
35/51

FIG. 35

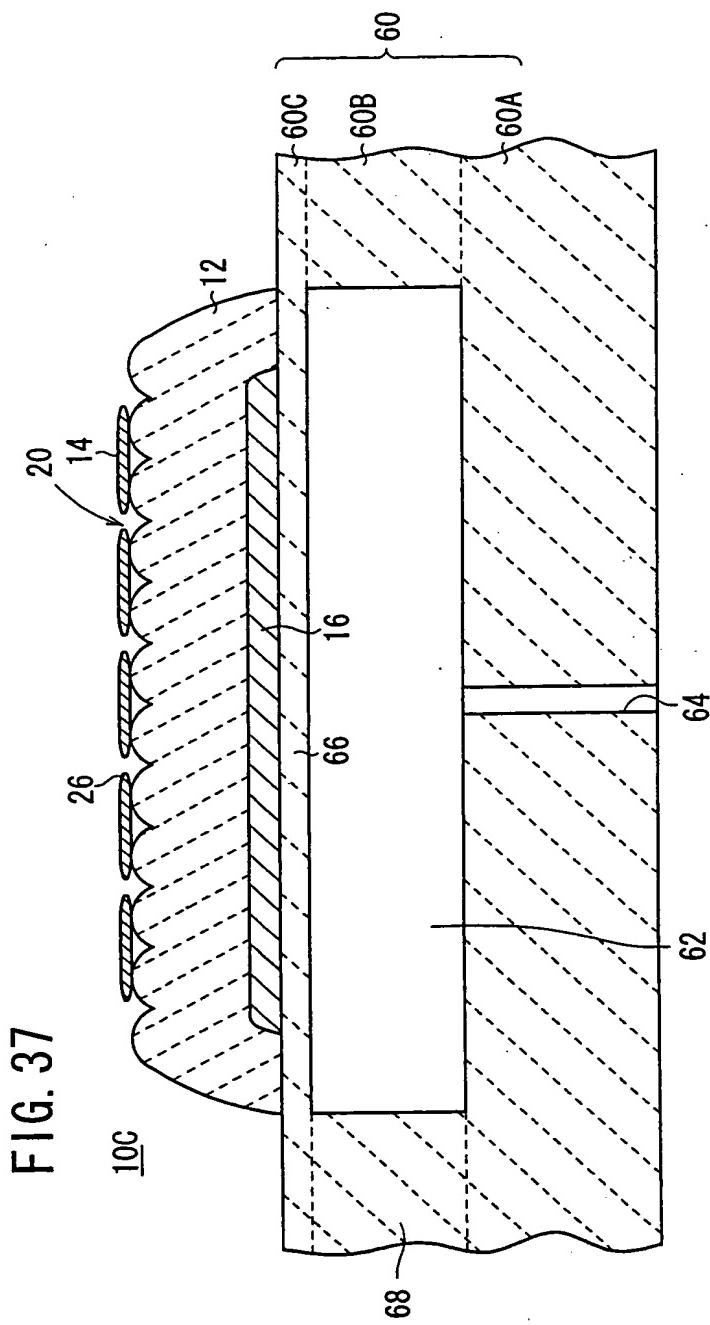


36/51

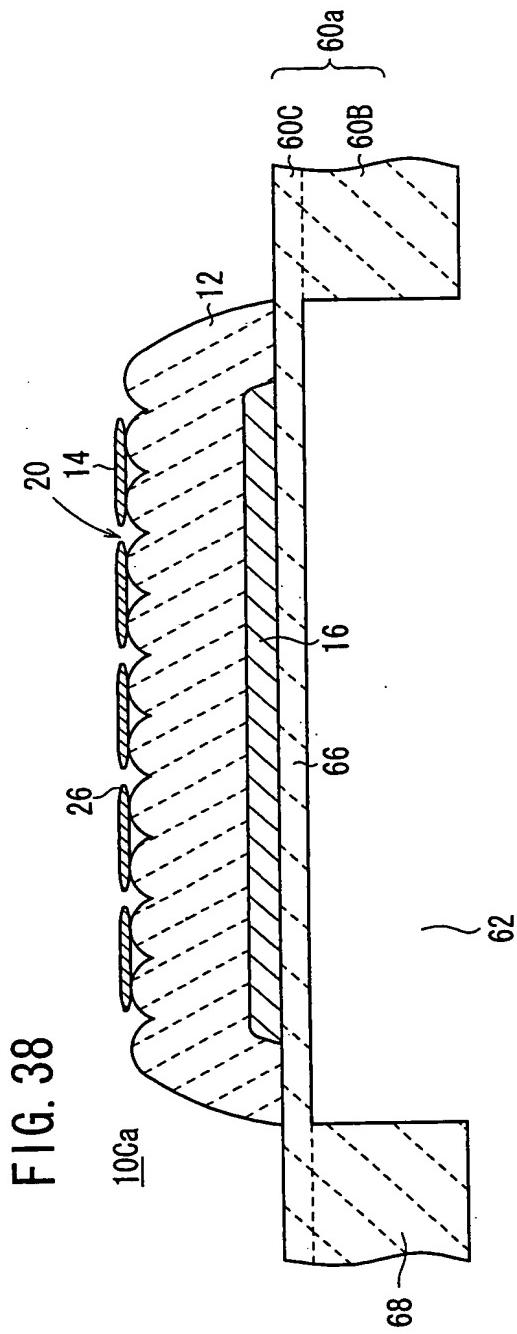
FIG. 36



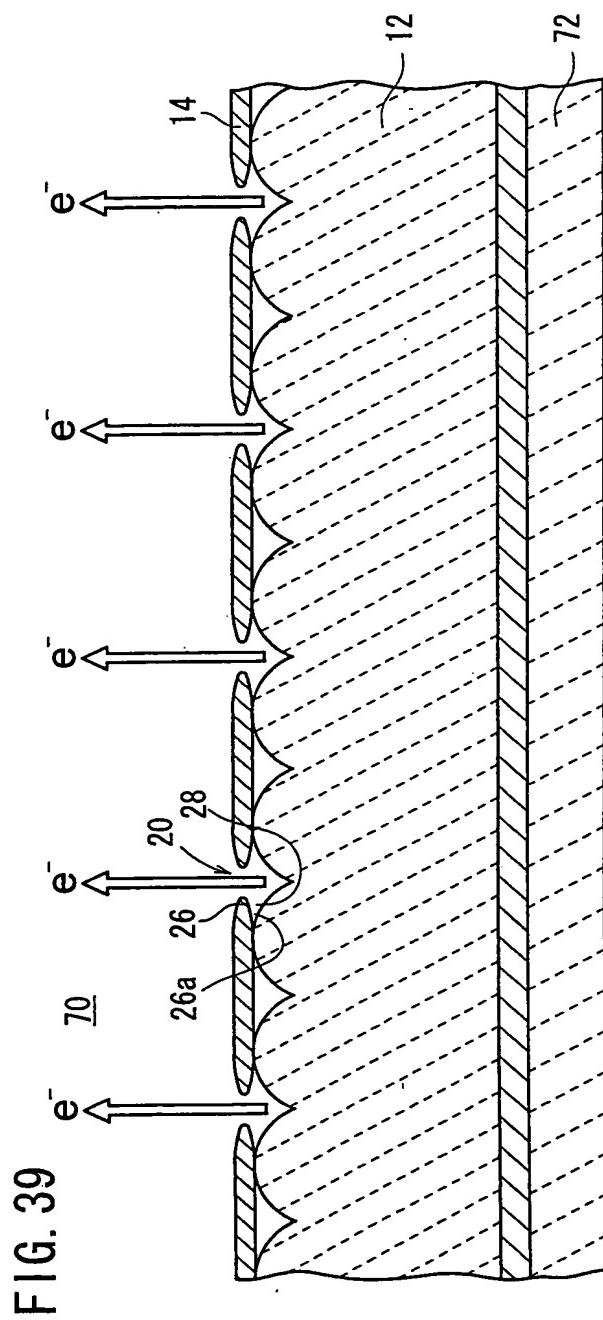
37/51

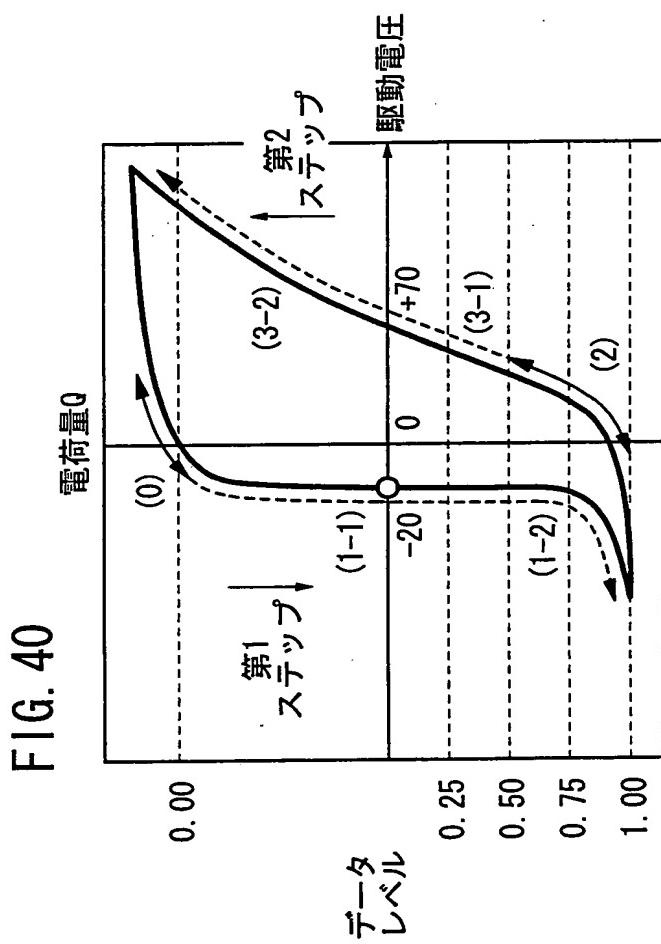


38/51



39/51





41/51

FIG. 41A

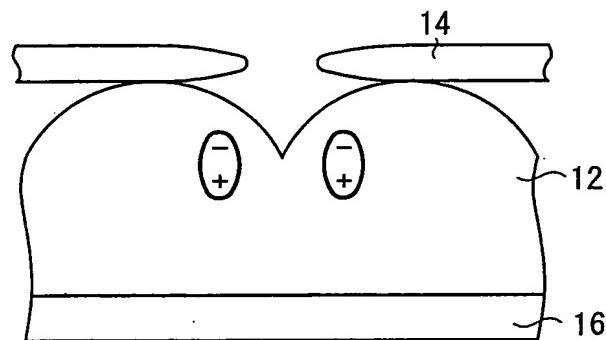


FIG. 41B

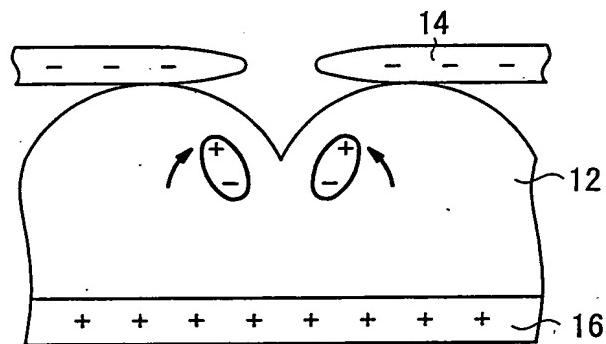
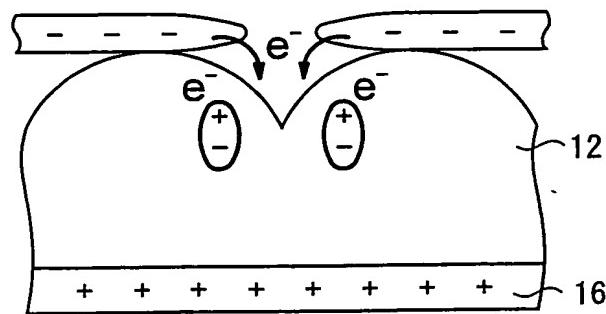


FIG. 41C



42/51

FIG. 42A

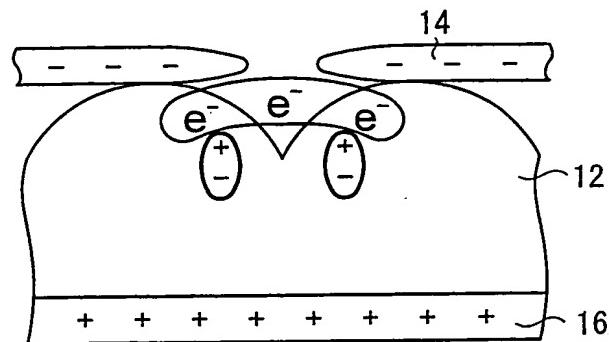


FIG. 42B

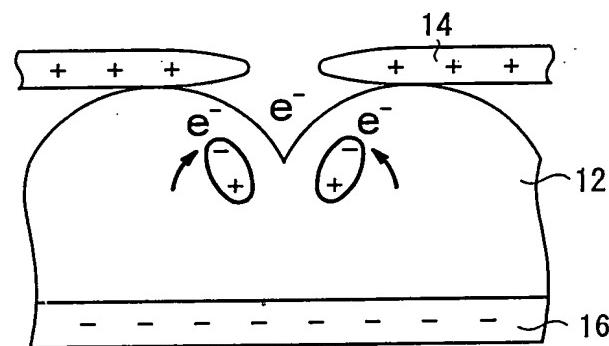
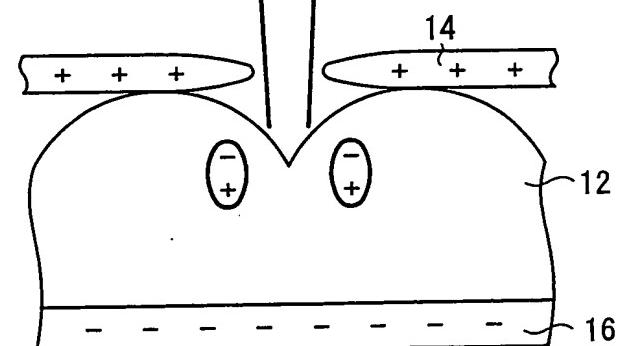


FIG. 42C



43/51

FIG. 43

144

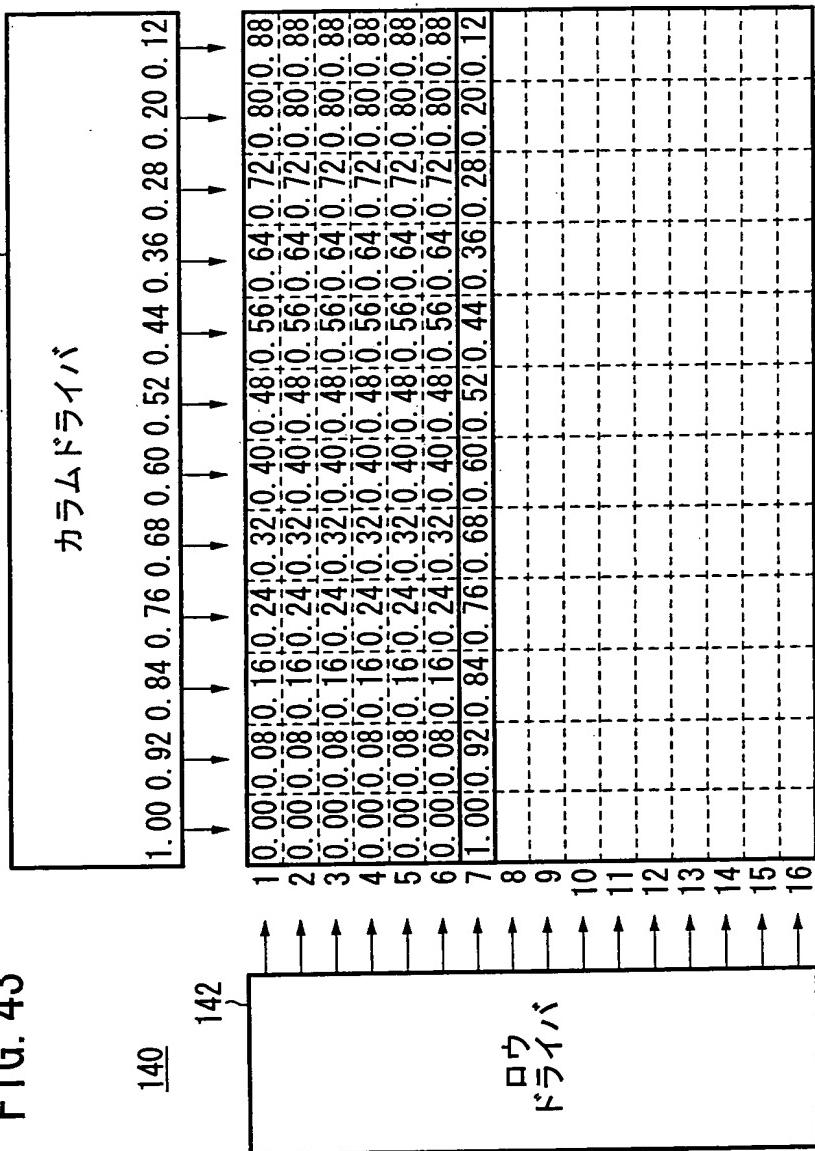


FIG. 44

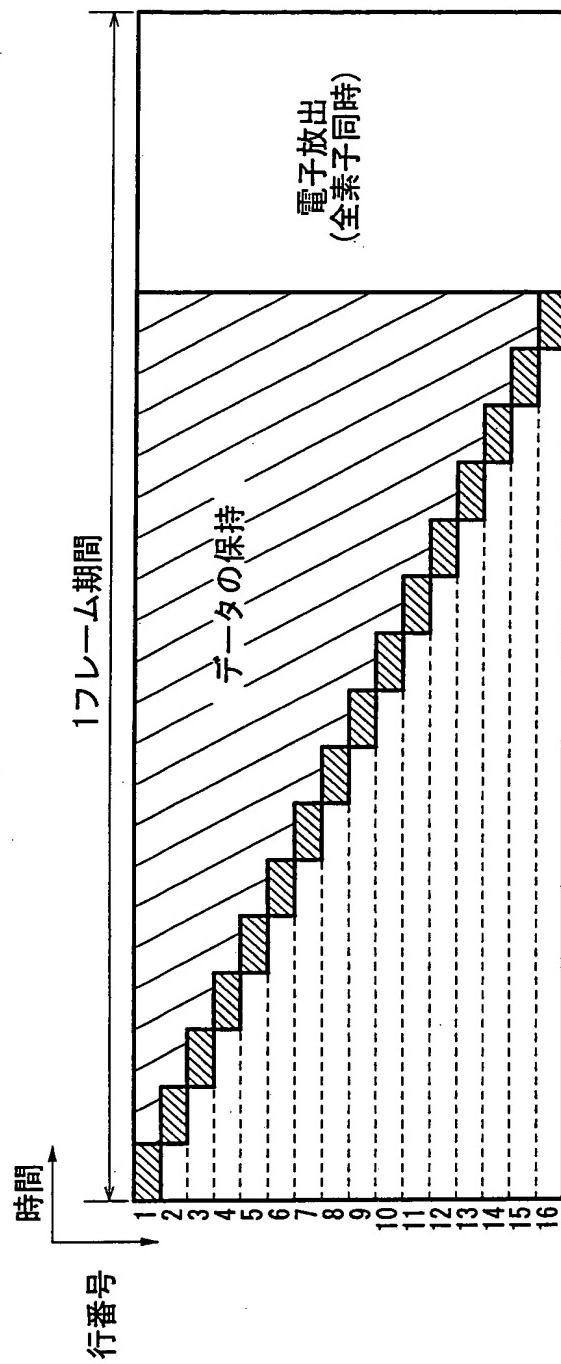
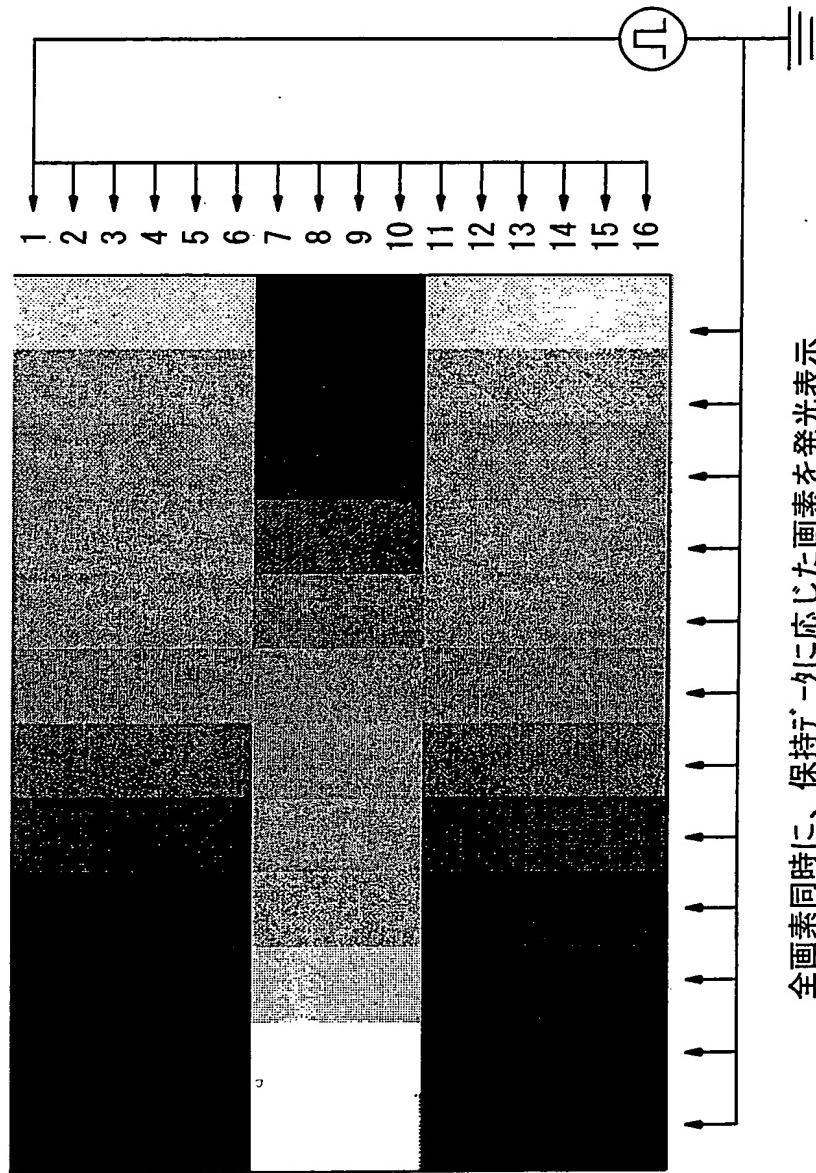


FIG. 45

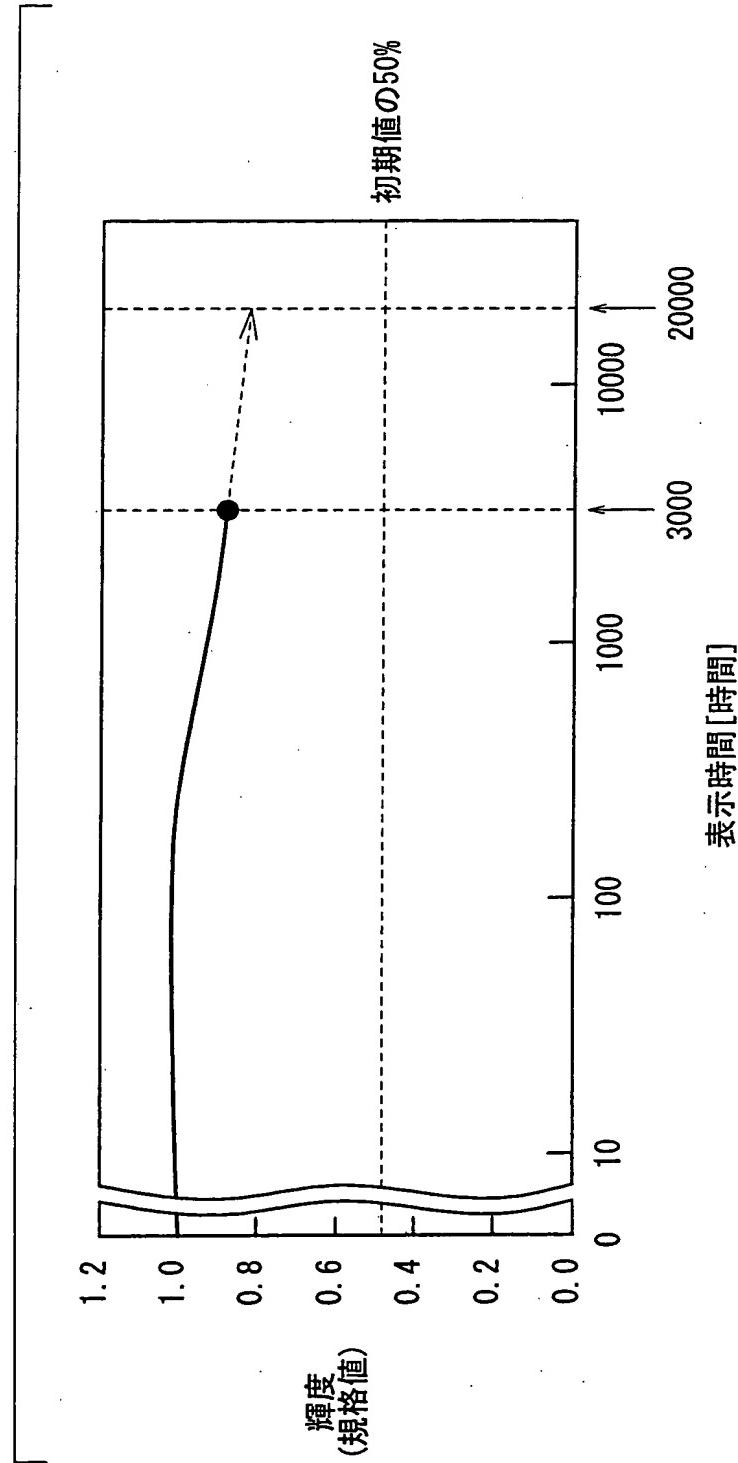
全素子同時に  
同一電圧を印加



全画素同時に、保持データに応じた画素を発光表示

46/51

FIG. 46



47/51

FIG. 47

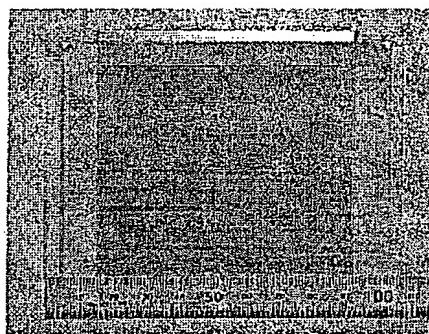


FIG. 48

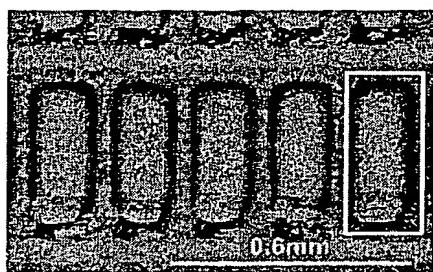
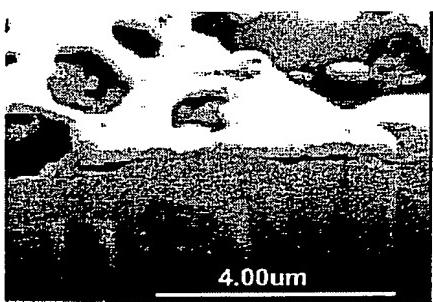


FIG. 49



BEST AVAILABLE COPY

48/51

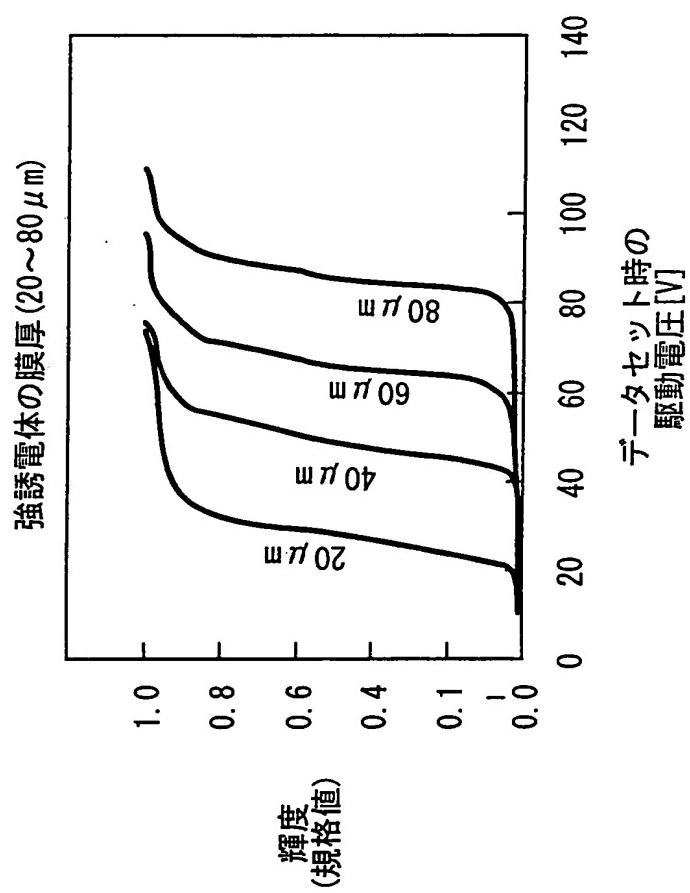
FIG. 50



BEST AVAILABLE COPY

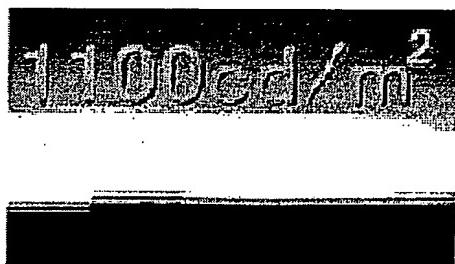
49/51

FIG. 51



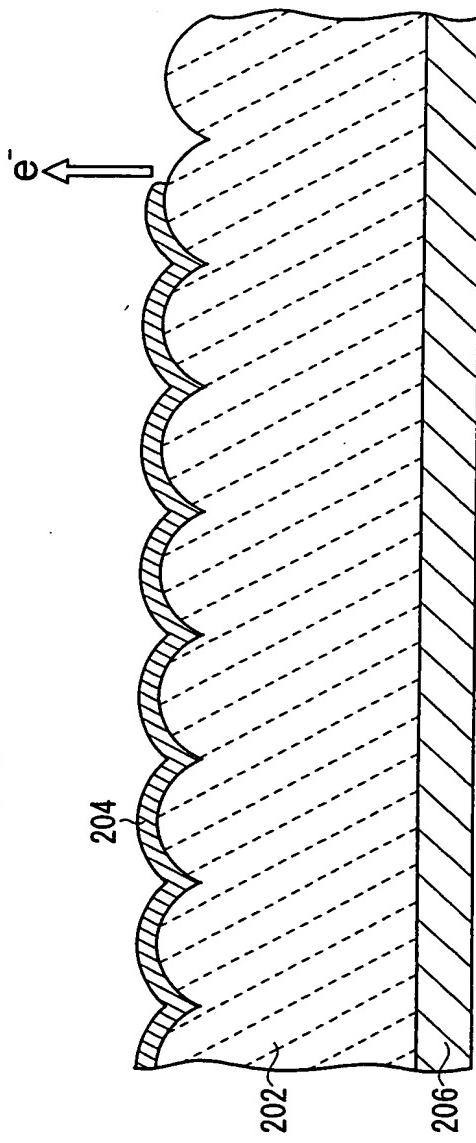
50/51

FIG. 52



BEST AVAILABLE COPY

FIG. 53  
200



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**